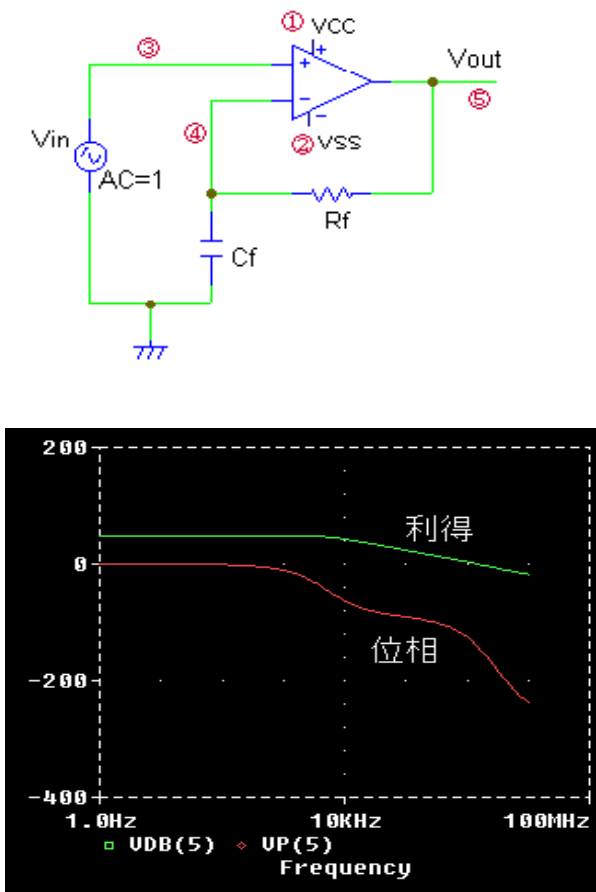


CMOS・OP Amp の S P I C E シミュレーション方法

※ 詳細はトランジスタ技術（CQ出版）
1993 年 7 月号 p317～330 を参照

1. 利得・位相の周波数特性

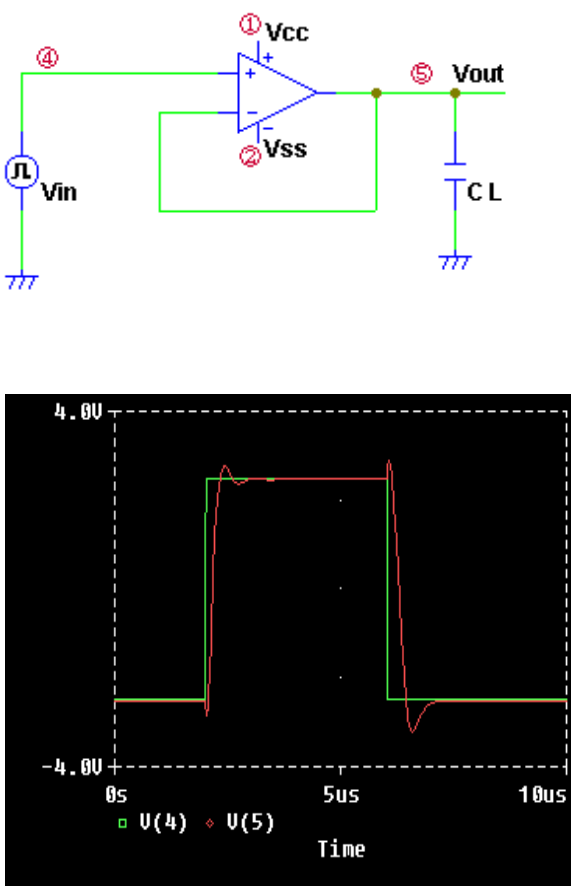


注) 時定数 $R_f C_f$ は充分大きい値をとる。
例えば、 $R_f = 100G\Omega$ $C_f = 100\mu F$

```
● SPICE ネットリスト例

.
.
VCC      1      0      5
VSS      2      0     -5
Rf       5      4    100G
Cf       4      0   100uF
Vin      3      0    ac=1
.AC dec 10 1 50MEG
X1 3 4 5 1 2 CMOSAMP1
.PLOT AC V(5)
.
.
.
.end
```

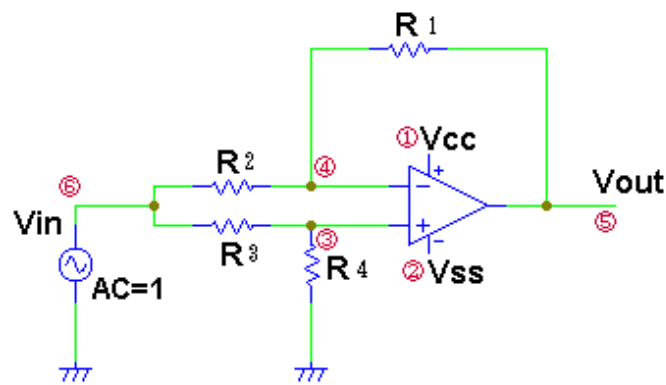
2. Slew Rate と Settling Time



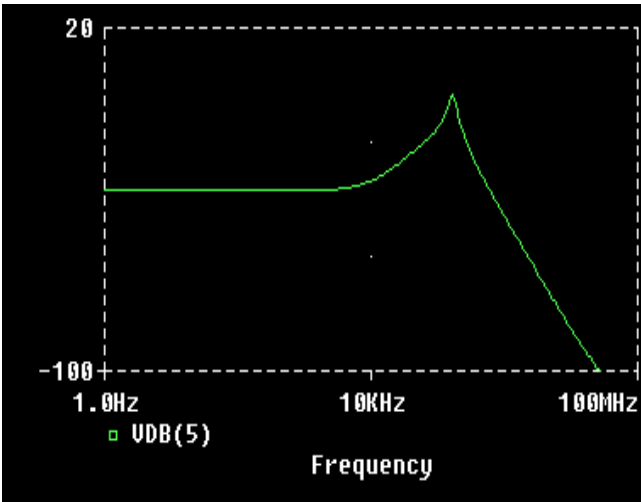
```
● SPICE ネットリスト例

.
.
VCC      1      0      5
VSS      2      0     -5
Vin 4 0 PULSE(-2.5 2.5 2U 20N 20N 4U 10U)
.TRAN 15N 10U
CL       5      0    200P      IC=0
X1 4 5 5 1 2 CMOSAMP1
.PLOT TRAN V(4) V(5)
.
.
.
.end
```

3. CMRR (同相入力除去比)



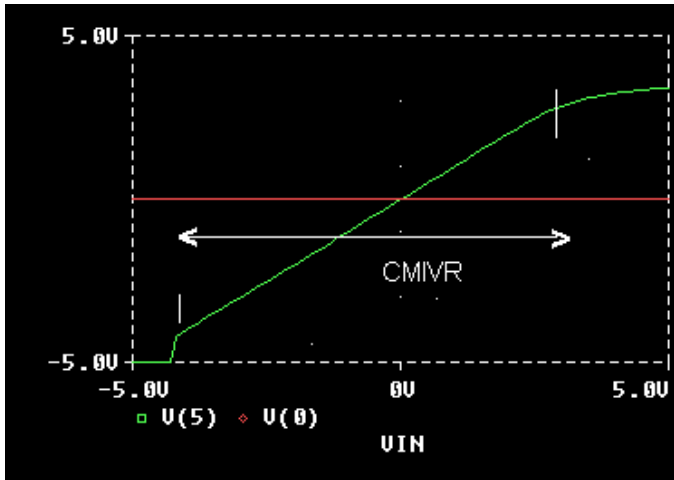
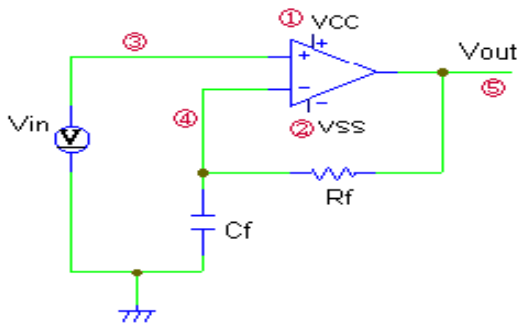
注) 抵抗 R は次の条件とする。
R ≫ 出力インピーダンス
例えば、R =1MΩ



● SPICE ネットリスト例

```
.  
.br/>VCC 1 0 5  
VSS 2 0 -5  
.AC DEC 30 1 100MEG  
Vin 6 0 AC=1  
R1 5 4 10MEG  
R2 4 6 10MEG  
R3 3 6 10MEG  
R4 3 0 10MEG  
X1 3 4 5 1 2 CMOSAMP1  
.PLOT AC V(5)  
.br/>.br/>.end
```

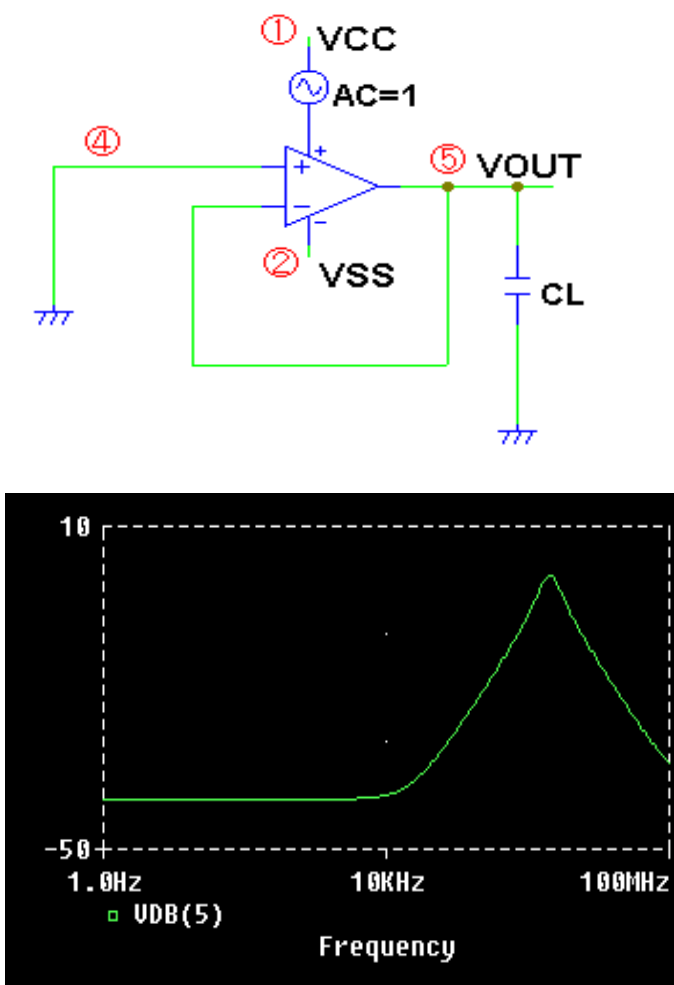
4. CMIVR (同相入力範囲)



● SPICE ネットリスト例

```
.  
.br/>VCC 1 0 5  
VSS 2 0 -5  
Vin 3 0 DC 5  
.DC VIN -5 5 0.1  
Rf 5 4 100G  
Cf 4 0 10  
X1 3 4 5 1 2 CMOSAMP1  
.PLOT DC V(5) V(0)  
.br/>.br/>.end
```

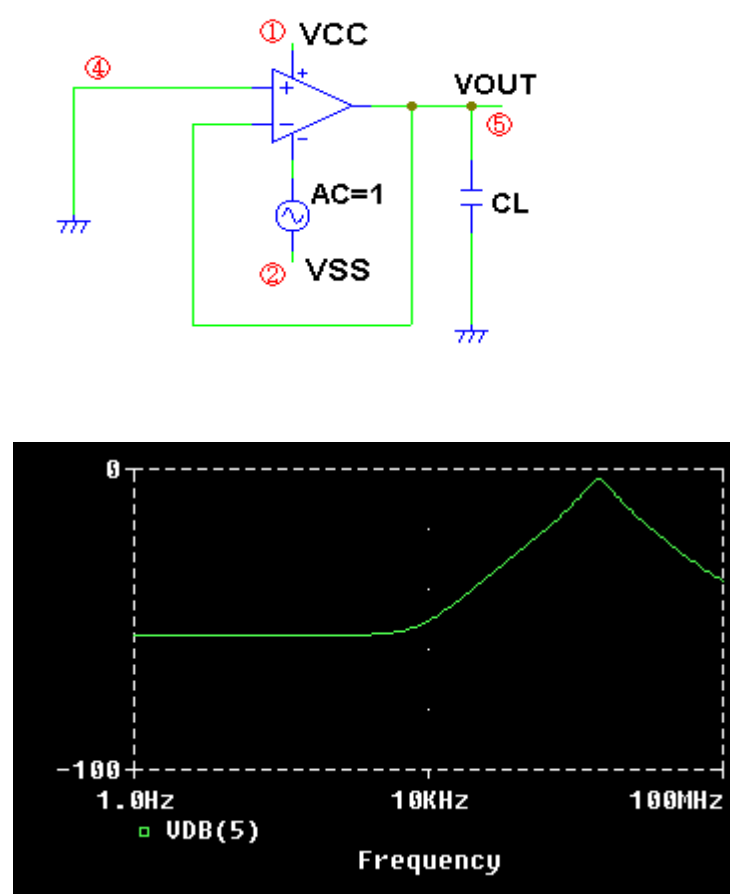
5. PSRR (電源電圧変動除去比・VCC 電源)



● SPICE ネットリスト例

```
.  
.  
.AC DEC 30 1 100MEG  
CL 5 0 200P  
VCC 1 0 DC=5 AC=1  
VSS 2 0 -5  
X1 4 5 5 1 2 CMOSAMP1  
.PLOT AC V(5)  
.  
.  
.end
```

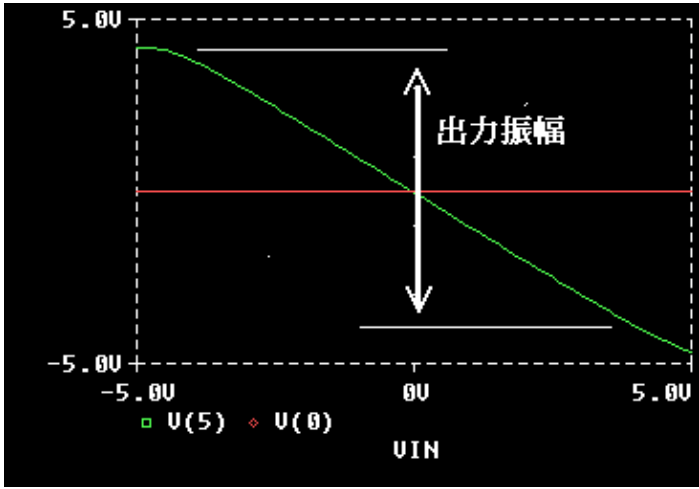
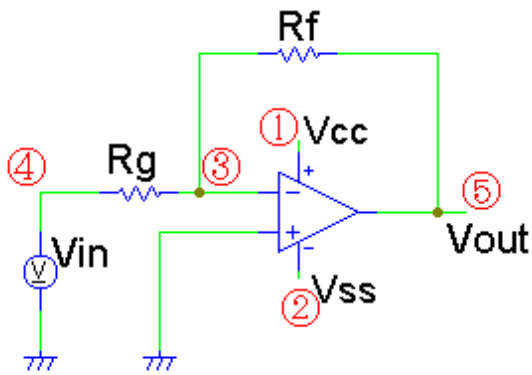
6. PSRR (電源電圧変動除去比・VSS 電源)



● SPICE ネットリスト例

```
.  
.  
.AC DEC 30 1 100MEG  
CL 5 0 200P  
VCC 1 0 5  
VSS 2 0 DC=-5 AC=1  
X1 4 5 5 1 2 CMOSAMP1  
.PLOT AC V(5)  
.  
.  
.end
```

7. 出力振幅

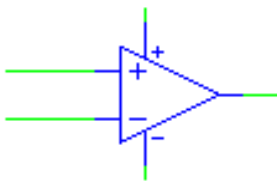


```
● SPICE ネットリスト例

.
.
VCC      1      0      5
VSS      2      0     -5
Vin      4      0    DC    5
.DC      VIN    -5      5    0.1
Rf       5      3    1MEG
Rg       4      3    1MEG
X1      0      3      5      1      2  CMOSAMP1
.PLOT    DC    V(5)  V(0)

.
.
.end
```

オペアンプ回路のサブサーキット



```
.SUBCKT CMOSAMP1 Vi+ Vi- OUT VDD VSS
M1 3 3 VDD VDD TC407P
M2 3 3 VSS VSS TC407N
M3 4 3 VSS VSS TC407N
M4 1 Vi- 4 4 TC407N
M5 2 Vi+ 4 4 TC407N
M6 1 1 VDD VDD TC407P
M7 2 1 VDD VDD TC407P
M8 OUT 2 VDD VDD TC407P W=960U
M9 OUT 3 VSS VSS TC407N
C1 OUT 2 150P IC=0
.ENDS
```

●TC4007UBP モデルパラメータ

```
*
.model TC407N NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5 GAMMA=1.0
+
+ TOX=1.0E-7 TPG=0 NSUB=5E15 L=8U
+
+ W=290U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
*
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
*
* 93-02-15 版 by SUMIAKI TAKEI

.model TC407P PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5 GAMMA=0.9
+
+ TOX=1.0E-7 TPG=0 NSUB=2E15 L=8U
+
+ W=480U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
*
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
*
* 93-02-15 版 by SUMIAKI TAKEI
*
```