

CMOSセンスアンプ回路

CMOSインバ - タが基本

CMOSセンスアンプ回路はDRAMやSRAM等において微小なアドレス信号やメモリデータをすばやく検出し、増幅する回路である。つまり高感度と高速性が要求される。

CMOSに限らずMOSセンスアンプでは一般にMOSトランジスタそのものの増幅作用を利用して増幅する。CMOSインバ - タを使った場合は、単チャンネルインバ - タに比べて伝達特性が非常にシャ - プであるのでインバ - タ1段で充分増幅できる。そのためには入出力レベルを平衡化して最も感度の高い点にバイアスした状態でセンスする。

CMOSインバ - タの増幅度は下記式で与えられる。

$$A_v = (g_{m1} + g_{m2}) * (r_{o1} // r_{o2})$$

マスクROMなどの密度を重視する場合には、このインバ - タタイプがよく使われる。

差動センスアンプ回路

SRAMのように差動入力を得られる場合は、図1に示したCMOSカレントミラ - 形差動入力の基本になる。SRAMではアドレスを任意のタイミングで変化させてもよいので基本的に非同期形である。

図1の差動アンプの場合、/D（逆相入力）入力の負荷MOS（M2）のゲ - ト入力をD（正相入力）入力側M1のドレインに接続しているためM2の負荷特性は/D入力電圧に応じて変化し、CMOSインバ - タに近い形となる。D入力レベルが上昇するとB点の電位も上昇するためM3のVGSゲ - ト・ソ - ス電圧はあまり変化しない。

従って増幅効果は比較的一定となり安定動作が期待できる。ただし直流電流が流れること、出力の振幅がフルスイングでないため次段回路の貫通電流に留意する必要がある。M1とM2はカレントミラ - 形負荷なので出力電圧はM3とM4の電流比で決定される。M5はパワ - 制御とM3, M4のソ - ス電位制御のためである。

ラッチ形センスアンプ回路

DRAMに使われるセンスアンプはCMOSインバ - タのたすき掛け構成が基本です。（図2参照）これはSRAMの6MOSメモリセルと同じラッチ回路である。ただし入力レベルがCMOSインバ - タの論理しきい値に近いことが使える条件である。

DRAMに使った場合、まずワード線選択前にD, /Dのレベルを平衡化する。（実際にはこのためのスイッチMOSが存在する）

その後ワード線が活性化されて、各メモリセルのデータによりビット線電位が変化する。実際のDRAMではVCC, GNDを変位させて記憶データのリフレッシュを行っている。

それではSRAMでよく使われる差動形センスアンプの効果を見るため、ビット線の電位変動をセンスアンプの有り無しで比較してみます。シミュレーション結果を見てわかるとおり、センスアンプにより高感度に電位変動が検出できることがわかります。

これからセンスアンプの回路を考案するなら多値フラッシュメモリー用であろう。すでに64M製品が発表されているが、すべて2ビット/セルである。今後集積度を上げるため3ビット/セルや4ビット/セルの製品が開発されるであろう。その時多値のデータをどのように正確に検出するかが製品開発のポイントになるでしょう。

高感度、高利得、低消費電力、広動作電源範囲、温度依存性のないセンスアンプ回路を考案すれば企業が飛びつくでしょう。

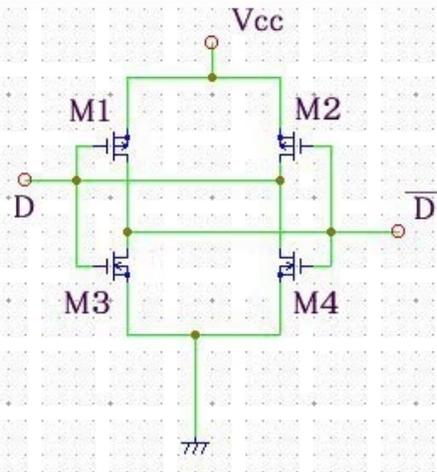
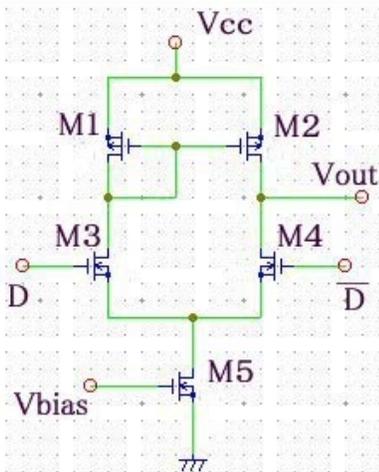


図1 差動アンプ形センスアンプ回路

図2 ラッチ形センスアンプ回路

