

● CMOS アナログスイッチ

CMOS アナログスイッチは伝送ゲート(Transmission Gate)とも呼ばれており、昔のリレースイッチに置き換わる重要な回路である。下左図に示した回路がCMOS アナログスイッチの基本回路です。PMOSとNMOSが並列接続されており、ゲート電圧によりON, OFFを制御します。

PMOS, NMOS両方がON状態になると入出力間は低抵抗となり、入出力のいずれの方向にも信号を伝送することが出来る。アナログスイッチをON状態にするには、PMOSのゲートをGND, NMOSのゲートを+Vddにすればよい。ON時の入出力間の抵抗は数10オーム以下が望ましい。OFF状態にするには、PMOSのゲートを+Vdd, NMOSのゲートをGNDにすればよい。OFF時の入出力間の抵抗は1000メガオーム以上である。

アナログスイッチに要求される特性としては、入出力間の低抵抗化, ON抵抗のフラット化, スイッチON, OFF時の制御信号のフィードスルー(もれ込み)の極小化, 温度依存性の極小化などが上げられる。

実際のIC設計では、ON抵抗を低くするために大きなW/L比を必要とするが、チップのバターン面積が大きくなるので、要求仕様に合わせた最適設計が必要となる。下左図の基本アナログスイッチ回路を設計する場合、デバイス設計者はPMOS, NMOSのW/Lをいくらに設計すれば、要求スペックを満足するか、またON抵抗がフラットになっているか等を回路シミュレーションで検討します。

それではPSPICEを使ってこの基本回路をシミュレーションしてみます。
シミュレーション条件は

- 1、PMOS, NMOSどちらもW/L=50/6
- 2、PMOSのW/L=150/6 NMOSのW/L=50/6

1の場合はデバイスサイズを同じにした場合。2の場合はON抵抗をほぼ同じにした場合。2の場合なぜPMOSのW/Lを3倍にして、同じ抵抗になるか疑問を持った人はいませんか。それは簡単にいえば、PMOSのキャリアである正孔とNMOSのキャリアである電子のモビリティ(移動度)が約3倍ちがうからです。回路図の下にシミュレーション結果を示しましたが、2の条件のほうが1の条件よりON抵抗がフラットになっています。
(横軸は入力電圧、縦軸はアナログスイッチのON抵抗)

しかしこれでもまだフラットにはほど遠い。そこでこれを改良するため、いろいろな回路が提案されています。(たとえば、下右図の回路)基本的な考えは、ON抵抗が基板バイアスの変動に影響されるので、それをうまくコントロールして、直線性をよくしようという考え方です。市販のICでいえば、MAX4066やMAX312など各社からいろいろ発売されています。データシートを見るとかなりON抵抗がフラットで低抵抗に設計されています。
下右図に示した回路でシミュレーションしてみると、かなり改善されているのがわかります。

本ホームページで紹介しているSPICEなどのシミュレータを使って、広い入力電圧範囲に対してON抵抗が完全フラットになるような新しい回路を考案すれば、企業が飛びつくでしょう。



