

## CMOS オペアンプ回路のシミュレーション

下図に示したOPアンプ回路は、PMOS入力の差動段とインバ-タ形式の終段の2段構成である。入力にPMOSを使っているのはNMOSよりも次の点で利点がある。

VDD側に電流源を挿入できるので高いPSRR特性が得られる。

終段出力はNMOSで構成されているが、NMOSはPMOSと比べた場合、同じ寸法 ( $W/L$ )であればNMOSのほうがGmが大きいため駆動能力が大きい。

位相補償キャパシタが小さくできるため、高スルーレートが得られる。

### オペアンプMOSサイズ設計の留意点

差動段(M3,M4,M5,M6)のMOSサイズの決定においては次の2点を考慮する必要がある。

必要な利得が得られること。 オフセット電圧やフリッカ雑音の低減が必要

これらのことによりMOSゲートのチャンネル長Lは8  $\mu\text{m}$ 程度が妥当

終段MOS (M8)および位相補償用MOS (M7)のサイズの決定においては次の2点を考慮する必要がある。 ショートチャンネル効果の影響はあまり受けない。 差動段から見た負荷を減少させる必要がある。

これらのことによりMOSゲートのチャンネル長Lは3  $\mu\text{m}$ 程度が妥当。

電流源用のMOS (M1,M2)のサイズは、ショートチャンネル効果が問題となるが、差動段ほどの精度は必要ないのでチャンネル長Lは5  $\mu\text{m}$ とする。

### オペアンプ・バイアス回路設計の留意点

ここで使ったオペアンプのバイアス回路は、電流源をコントロールするMB1のドレイン出力と、位相補償用MOS (M7)のゲート電位を決めるMB4のドレイン出力がある。

オペアンプの電流はカレントミラーにより、バイアス回路電流のN倍が流れる。カレントミラー電流がVDDに依存しないように、電流を決定するNMOS (MB5)のゲートを内部固定電位  $V_{\text{bias}}$  に接続する。

この結果、MOSトランジスタのダイオード接続で電流値を決定する場合より、カレントミラー電流のバラツキが小さくなり、PSRR特性も向上する。

バイアス回路のMB4ドレイン出力部分の構成をオペアンプの差動段と等しい構成とすることで、M7トランジスタの $V_{GS}$ がほぼ一定にでき、位相補償特性が安定する。

それでは下図の回路を参照しながら、SPICEシミュレーション用プログラムを組んでみましょう。



```

VDD      1      0      5
Vbias    13     0      2
.TRAN    1N     10U
VIN      5      0      PULSE(2.4 2.5 1U 20N 20N 1U 5U)
*----- オペアンプ回路記述 -----
M1      3      2      1      1      TC407P    L=5u    W=800u
M2     10      2      1      1      TC407P    L=5u    W=2650u
M3      6     10      3      3      TC407P    L=8u    W=640u
M4      7      5      3      3      TC407P    L=8u    W=640u
M5      6      6      0      0      TC407N    L=8u    W=500u
M6      7      6      0      0      TC407N    L=8u    W=500u
M7      9      8      7      7      TC407N    L=3u    W=60u
M8     10      7      0      0      TC407N    L=3u    W=1230u
C1      9      10     16pF
CL      10     0      30pF    IC=0
*----- バイアス回路記述 -----
MB1     2      2      1      1      TC407P    L=5u    W=30u
MB2     8      2      1      1      TC407P    L=5u    W=30u
MB3     2     11     11     11     TC407P    L=5u    W=150u
MB4     8      8     12     12     TC407N    L=10u   W=10u
MB5    11     13     0      0      TC407N    L=45u   W=30u
MB6    12     12     0      0      TC407N    L=5u    W=25u
*-----
.PROBE   V(5)    V(10)    I(VDD)
.END

```

## スルーレートシミュレーション結果

