

(2) 定電圧回路

定電圧回路は基準電圧発生回路とも呼ばれる。
アナログ回路において電源変動に影響されないバイアス電圧を得るには、電源電圧以外の電圧を基準にする必要がある。
MOSではしきい値電圧の差 ΔV_{th} やバンドギャップ電圧 V_{BG} を利用したもの、またCMOSの寄生バイポーラトランジスタを使った V_{BE} を基準にした定電圧回路などがある。

図28に V_{BE} を基準にした定電圧回路を示した。この回路のNPNトランジスタはCMOSプロセスで作ることができる。
この回路で得られる基準電圧 V_{ref} は

$$V_{ref} = V_{BE1} + (R_3/R_2) (kT/q) \ln(R_3/R_1) \quad \dots\dots$$

ここで Q_1 と Q_2 は特性がそろっているとする。
バイポーラトランジスタの V_{BE} は負の温度係数を持っているが正の温度係数を持っている拡散層抵抗がポリシリコンを使うことによって、抵抗比をうまく設定することにより V_{ref} の温度係数をゼロにすることが可能である。

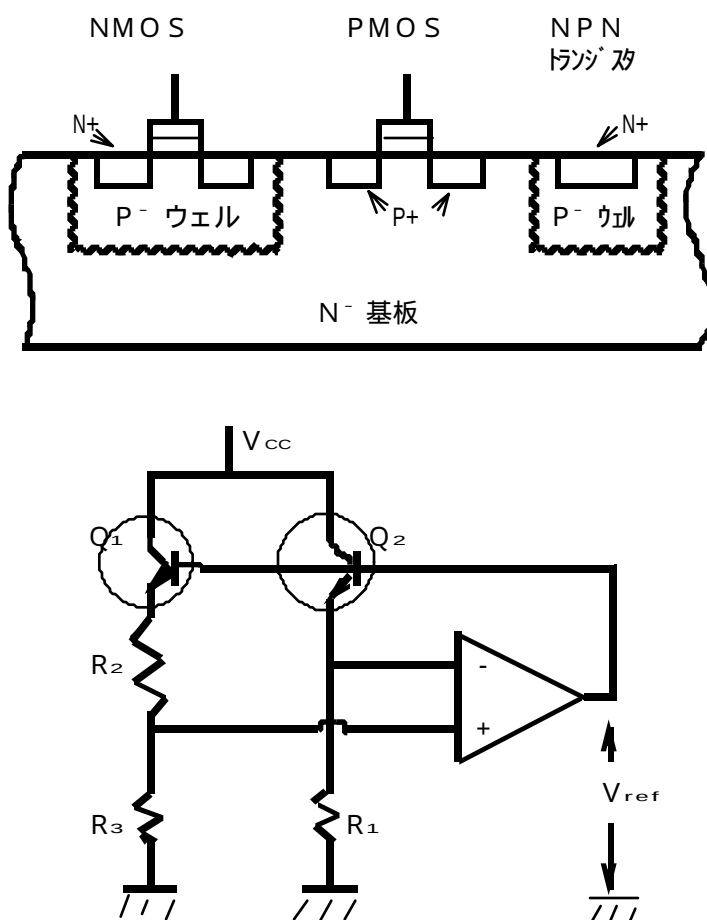


図2.8 V_{BE} 基準の定電圧回路

別の定電圧回路の例として V_{th} の差を利用した回路を図29に示した。

この回路は M_4 のエンハンスメントMOSのしきい値電圧 V_{th4} と M_2 のデプレッションMOSのしきい値電圧 V_{th2} の差を基準電圧として利用する回路です。

この回路で得られる基準電圧 V_{ref} を求めてみる。

M_1 、 M_2 に流れる電流 I は

$$I = 1/2 \cdot \beta_2 (V_{GS2} - V_{th2})^2 = 1/2 \cdot \beta_2 (-V_{th2})^2 \quad \dots\dots$$

M_3 、 M_4 に流れる電流 αI は

$$\alpha I = 1/2 \cdot \beta_4 (V_{GS4} - V_{th4})^2 = 1/2 \cdot \beta_4 (V_{ref} - V_{th4})^2 \quad \dots$$

ただし $\alpha = \beta_3 / \beta_1$ とする。

式に式を代入して基準電圧 V_{ref} を求めると

$$V_{ref} = V_{th4} - \alpha V_{th2} \sqrt{\beta_2 / \beta_4} \quad \dots$$

この回路では2つのしきい値電圧の温度係数が一次近似としては打ち消し合う。さらに設計において β_2 、 β_4 の比で温度特性を合わせ込めばかなり温度係数の小さい定電圧回路として使える。

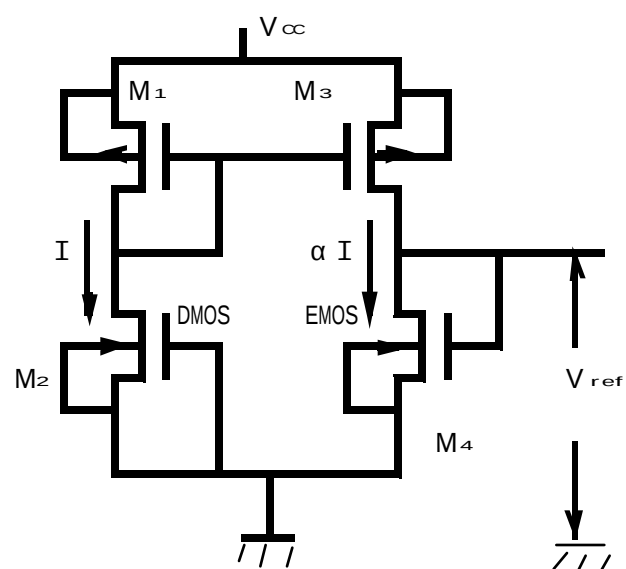


図2.9 ΔV_{th} 基準の定電圧回路

(3) 差動回路

MOSの差動回路の基本は図30に示したソース結合ペアである。

この回路はNMOSソース結合ペアで定電流源 I_{SS} でバイアスされている。基本動作は2つの入力電圧 V_{i1} と V_{i2} の差を出力電圧 V_o として取り出すものでOPアンプの回路構成の中で重要な要素である。

バイポーラトランジスタの差動回路に比べて入力のダイナミックレンジが広いのが特徴である。

今、出力抵抗と基板効果を見捨て、 M_1 、 M_2 のMOSが飽和領域で動作しているとすると各MOSに流れる電流 I_1 、 I_2 はそれぞれ次のようになる。

$$I_1 = 1/2 \mu C_{ox} W / L (V_{GS1} - V_{th1})^2 \quad \dots$$

$$I_2 = 1/2 \mu C_{ox} W / L (V_{GS2} - V_{th2})^2 \quad \dots$$

差動入力電圧 ΔV_i 、同相電流 I_d 、差動電流 ΔI_d をそれぞれ次のように定義する。

$$\Delta V_i = V_{i1} - V_{i2} \quad \dots\dots\dots 21$$

$$I_d = (I_1 + I_2) / 2 = 1/2 \cdot I_{SS} \quad \dots\dots 22$$

$$\Delta I_d = I_1 - I_2 \quad \dots\dots\dots 23$$

$$\text{ただし} \left[\begin{array}{l} L = L_1 = L_2 \quad W = W_1 = W_2 \\ V_{th} = V_{th1} = V_{th2} \end{array} \right] \text{とする。}$$

19～23式を使って差動回路の相互コンダクタンス G_m を求めてみると

$$G_m = d \Delta I_d / d \Delta V_i = \sqrt{(I_{SS} \mu C_{ox} W / L)} = g_{m1} = g_{m2} \quad \dots\dots 24$$

この結果より差動回路の相互コンダクタンス G_m は各デバイス(NMOS)の相互コンダクタンス g_{m1} 、 g_{m2} に等しいことがわかる。

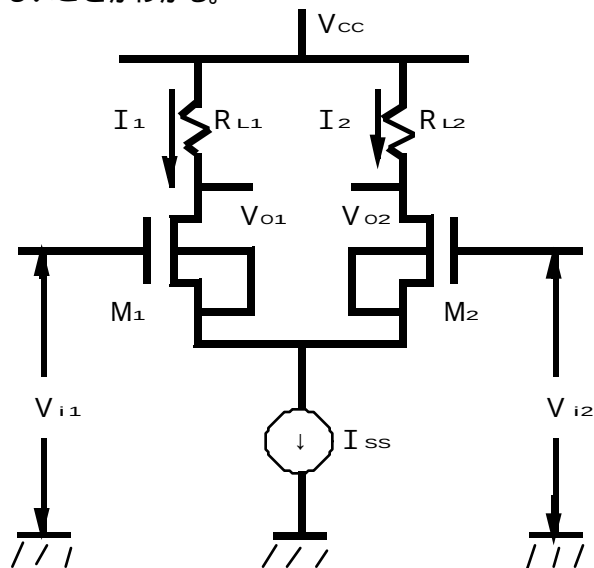


図3.0 ソース結合ペア回路