

A, B 間に時刻 $t = 0$ で大きさ V_{IN} のステップ入力を加えた時の電圧 V の時間変化は

$$V = V_{IN} (1 - e^{-t/RC})$$

V が V_{IN} の 90% に達する時間 T は

$$T = 2.3RC \text{ [s]}$$

つまり配線パターンの抵抗と容量の総量を計算して、それらの積を 2.3 倍すれば遅延時間が概算できます。

しかし実際には抵抗と容量は分布定数回路になっており、図 20 のような回路で遅延時間を計算する必要がある。配線の長さを dx の微小領域に分割し、微分方程式を立てて解いてみる。

A, B 間に時刻 $t = 0$ で大きさ V_{IN} のステップ入力を加えた時の電圧 V の時間変化は

$$V = V_{IN} \{1 - 4/\pi e^{-(\pi/4)(t/RC)}\}$$

V が V_{IN} の 90% に達する時間 T は

$$T = 1.0RC \text{ [s]}$$

配線自体の遅延としては集中定数回路で得られた $2.3RC$ ではなく、 $1.0RC$ を使えばより正確であることがわかる。IC のパターン設計者は、 RC 積の値で遅延時間を概算しながら設計を進めます。

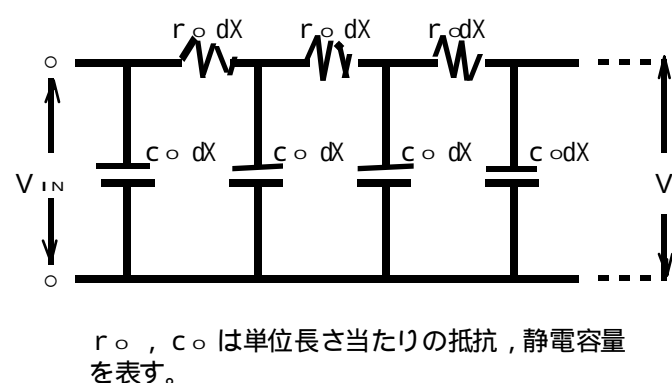


図 20 配線の分布定数回路

(2) アナログ回路との混載

CMOS 回路では微細加工技術の進歩によりデジタル回路とアナログ回路の両方を混載して、1 チップ化した LSI が増えてきた。

しかし混載した場合、デジタル回路のノイズがアナログ回路へ混入し、SN 比が悪くなり誤動作を起こすことが考えられる。デジタル回路はパルスの変化点ごとに発生する雑音源であるので、十分な対策が必要である。

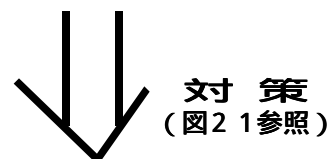
ノイズの原因は、貫通電流や消費電流による電源線の電位変動（抵抗性によるものとインダクタンスによるものがある。）、寄生コンデンサによる信号のカップリングノイズ等があり、各々の原因に対してそれぞれ対策が必要である。

デジタル回路からアナログ回路へのノイズの混入経路としては

電源線からのノイズ（A1 電源配線やウェルなどを通して混入）

IC 内のデジタル信号配線とアナログ信号配線間のカップリングノイズ

IC の入出力端子（パッド）やボンディングワイヤ並びにリドフレームのピン間のカップリングノイズ



の対策としては、

- 電源配線を太くして配線抵抗を下げる。
 - デジタル用とアナログ用の電源配線をはっきり分けて配置する。できれば電源端子も別々にする。
- デジタル回路とアナログ回路のウェルを共通にしない。（図 21 の P+ ガドリリング）
 - 基板に対しては電源に電位を固定するためのコンタクトを数多くとる。（図 21 の N+ ガドリリング）
- デジタル回路とアナログ回路の配置はなるべく離し、その間にはガドリリングを配して容量結合を妨げる。

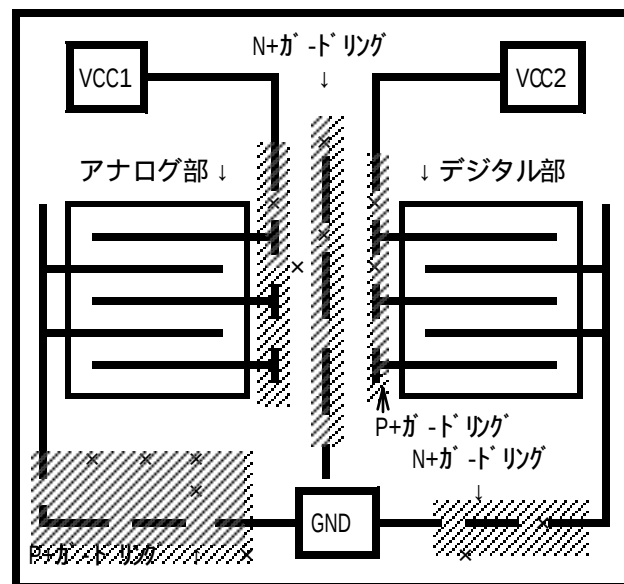
の対策としては、

- デジタル配線とアナログ配線を並列に配置したり、交差させたりしない。どうしても並列配置する場合は、間に電位の固定した配線（例えば電源線）を配置したり、配線の距離を離す。

の対策としては

- デジタル端子とアナログ端子を隣接配置しない。また端子間に電位の安定したダミ端子（電源線と結線する）を配置する。
- ボンディングワイヤ間やリドフレームのピン間の距離を離す。 → パッケージ設計

↓ IC チップ



- × 印は A1 層と拡散層とのコンタクトホール
- 上図は N 基板, P ウェル構造の場合

図 21 デジタル・アナログ混載 IC のノイズ対策

6 . 参考文献

- (1) WM ペニ - 他；MOS 集積回路，近代科学社，1977
- (2) 香山 晋編；超高速 MOS デバイス，培風館，1992