

シ - ト抵抗

シュミットインバ - タや発振回路に使う抵抗は、線型抵抗を使うことが多い。I C 設計で使う線型抵抗としては、 P^+ や N^+ の拡散層抵抗やポリシリコンがある。

このような抵抗を扱う場合、通常の抵抗値ではなくシ - ト抵抗 R_s を使って議論することが多い。

この抵抗は長さ L と幅 W が等しい抵抗体として定義される。従ってシ - ト抵抗は材料の抵抗率と深さで決まり長さや幅には無関係になる。この理由を証明しておきましょう。

材料の長さ L 、幅 W 、深さ(厚さ) d 、抵抗率 ρ とする。(図16参照)

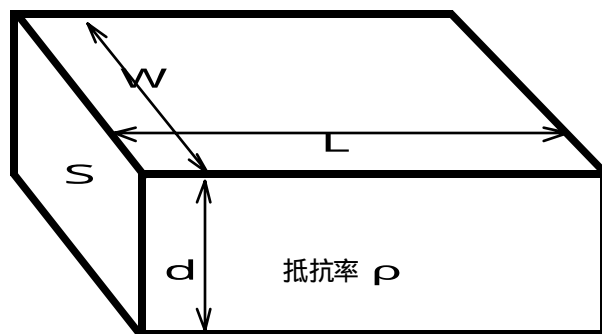


図16 シート抵抗の考え方

図16における物質の抵抗 R は次の式で表される。

$$R = \rho L / S = \rho L / Wd$$

シ - ト抵抗の定義より $L = W$ であるから上式より

$$\text{シ - ト抵抗 } R_s = \rho / d \quad [\Omega / \square]$$

となり材料の抵抗率と深さで決まることがわかる。

材料の本質的な抵抗比較が容易であり、I C のパタ - ン設計において、配線抵抗の見積もりに便利のためよく利用されます。

(2) NAND , NOR回路

直列結線 , 並列結線の合成 β

NAND回路やNOR回路のように、MOSトランジスタが直列または並列に結線された場合の合成 β を考える。この場合の β は

$$\beta = \mu C_{ox} W / L$$

合成 β はI C 設計者が、複合ゲ - トなどの論理しきい値電圧を概算する場合に必要な。

図17のように2つのMOSが直列に配置されている場合、それぞれの β は

$$\beta_{M1} = \mu C_{ox} (W / L)_{M1}$$

$$\beta_{M2} = \mu C_{ox} (W / L)_{M2}$$

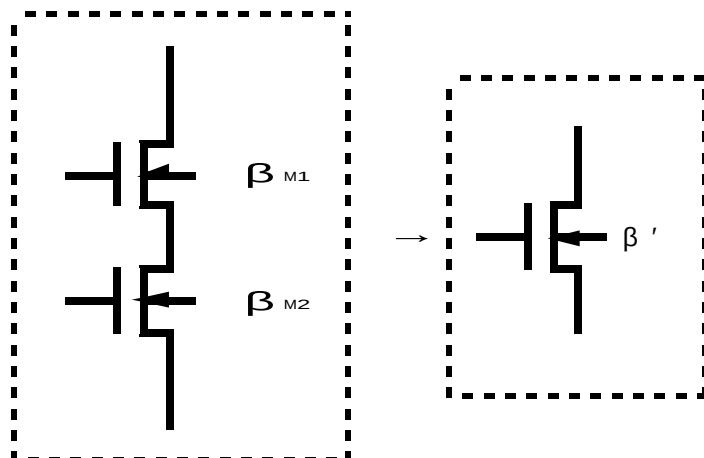


図17 直列結線の合成 β

2つのMOSのチャンネル長とチャンネル幅がそれぞれ等しいとすると、チャンネル長が2倍に長くなることになり合成 β' は

$$\beta' = \mu C_{ox} (W / 2L)_{M1} = \mu C_{ox} (W / 2L)_{M2}$$

つまりこの場合は β が1/2になることがわかる。

2つのMOSのチャンネル長とチャンネル幅が異なる場合は次の一般式で計算できる。

$$\beta' = \beta_{M1} \beta_{M2} / (\beta_{M1} + \beta_{M2}) \quad \text{--- 直列結線}$$

3つ以上の直列結線の場合は2つずつ合成していけばよい。

次に図18のような並列結線を考える。先ほどと同じように2つのMOSのチャンネル長とチャンネル幅がそれぞれ等しいとすると、チャンネル幅が2倍になることになり合成 β' は

$$\beta' = \mu C_{ox} (2W / L)_{M1} = \mu C_{ox} (2W / L)_{M2}$$

つまりこの場合は β が2倍になることがわかる。

2つのMOSのチャンネル長とチャンネル幅が異なる場合は次の一般式で計算できる。

$$\beta' = \beta_{M1} + \beta_{M2} \quad \text{--- 並列結線}$$

3つ以上の並列結線の場合も2つずつ合成していけばよい。

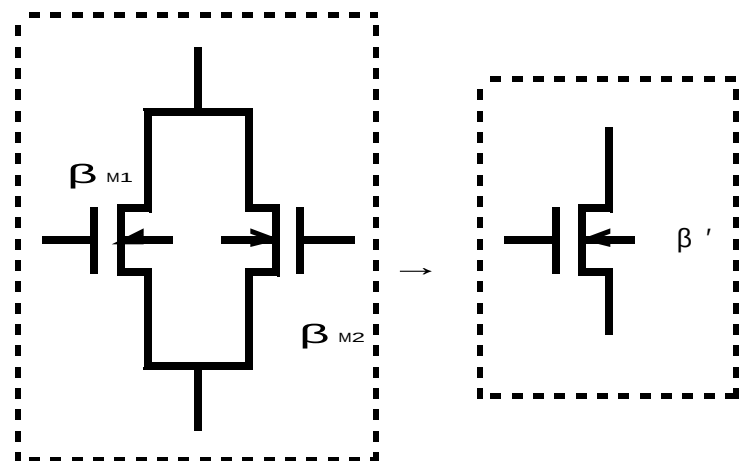


図18 並列結線の合成 β

5 . I C 設計上の留意点

(1)配線による遅延

I C を設計する上でゲ - ト間の遅延時間に制限がある場合(クリティカルパス)がある。パタ - ン設計においてゲ - ト間の配線を引き回した場合、遅延時間を概算しなければいけない。最終的には回路シミュレ - ションで正確に遅延時間を調べますが、設計中に頻繁に回路シミュレ - ションはできません。そのため設計者は配線パタ - ンの抵抗、容量を見積もって、その場で概算しながら設計をすすめます。

その場合抵抗、容量を図19のように集中定数回路で考えて、遅延時間を計算してみる。

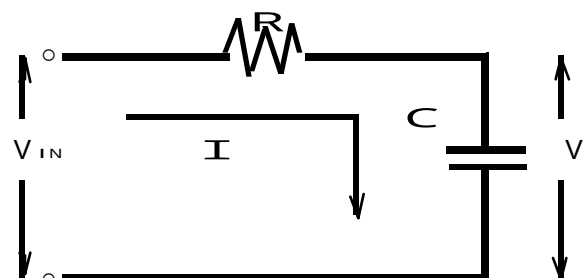


図19 CR集中定数回路