

メリットがある。MOSFETのオン抵抗は、バイポーラトランジスタに比べて高いため、論理回路の負荷は高い抵抗が要求される。同じ抵抗値を得るのに拡散層やポリシリコンを使うよりMOSを使ったほうがはるかにパターン面積が少なく済むため、初期のころはよく使われていた。

図8にE/E形インバタの回路を示した。この回路は負荷MOSを飽和領域で動作させるため飽和形とも言われている。このインバタのHレベル出力は、

$$V_{OUT} < V_{CC} - V_{thN}$$

で制限がある。(図9の動作特性を参照)

この欠点を改善するため負荷MOSのゲートを $V_{CC}$ に結線しないで別電源( $V_{GG}$ )をゲートに印加する回路もある。負荷MOSのゲート電圧= $V_{GG} - V_{CC} - V_{thN}$ にすることにより $V_{CC}$ レベルまで出力できる。

非飽和形E/Eインバタ

### E/D形インバタ

負荷MOSにエンハンスメントMOSでなく、デプレッションMOSを使ったインバタをE/D形インバタと呼ぶ。回路は図10に示した通りE/E形と同じ回路になっている。

図11を見てわかる通り動作のほとんどが、定電流領域である。高速、高集積用として使われており、E/E形に比べて負荷電流が多くとれる。そのためターンオフの時間が短く高速化できる。

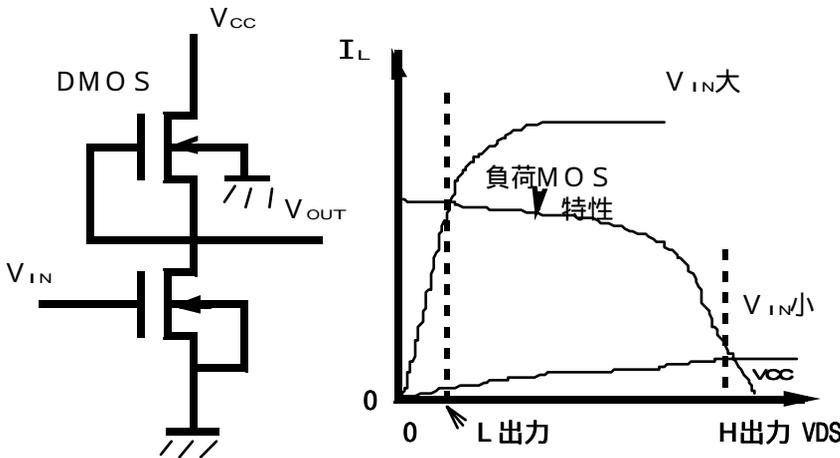


図10 E/D形インバタ

図11 E/D形の動作特性

### CMOSインバタ

負荷としてエンハンスメントのPMOSを使い、ゲートを駆動MOSと共通にして入力とし、ドレインを共通にして出力とする。(図12を参照)

CMOSインバタが動作するためには次の条件を満たす必要がある。

$$V_{thN} + |V_{thP}| < V_{CC}$$

入力電圧を $V_{CC} \sim GND$ の間で可変すると、PMOSとNMOSの相補特性でどちらかのMOSがオフしており、図13に示した通り定常状態でほとんど電流が流れない。低消費電力デバイスとして、脚光をあびておりMOSデバイスの主流としてその地位を固めている。

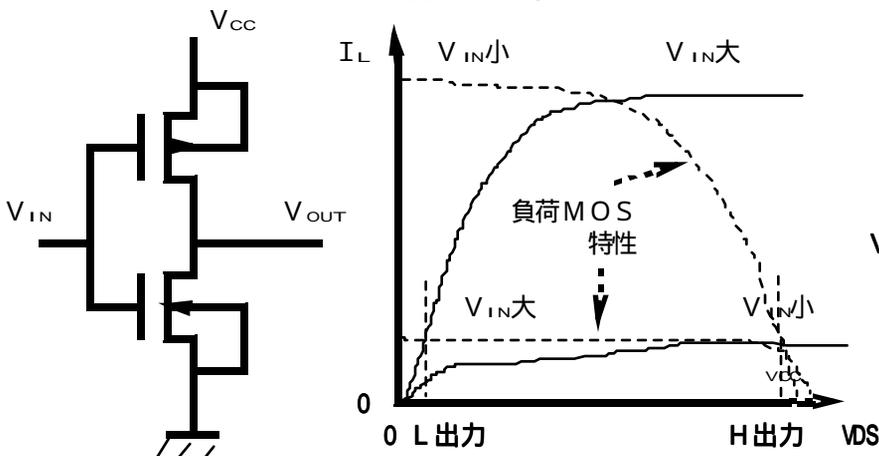


図12 CMOSインバタ

図13 CMOSの動作特性

### 論理しきい値 $V_{thc}$ とノイズマージン

CMOSインバタについて論理しきい値を考察してみる。通常のCMOSインバタはノイズマージンを最大にとるため、電源電圧の1/2のところに論理しきい値を設定してある。(図14参照)

しかしTTLからの信号を受けるにはTTLの信号のH, Lの判別ができなければなりません。そのためにはTTLの $V_{OH}$ と $V_{OL}$ の間にCMOSインバタの論理しきい値が設定されていればよい。その値は

$$\text{論理しきい値 } V_{thc} = (2.4 + 0.4) / 2 = 1.4 \text{ [V]}$$

ノイズマージンはゲート入力にノイズが印加されても出力が変動しない入力電圧の許容度をさす。論理ゲート回路の動作信頼性を確保するには、設計上ノイズマージンを大きく設定する必要がある。

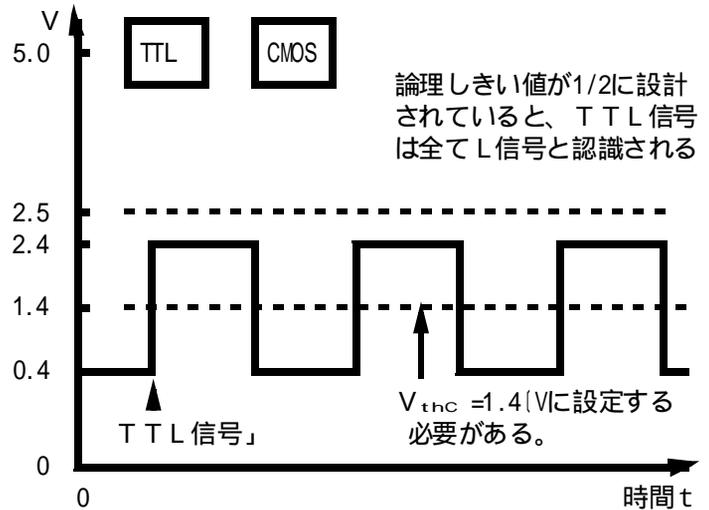


図14 論理しきい値とノイズマージン

CMOSインバタの論理しきい値は入力と出力が等しい電圧として計算できる。

$$V_{IN} = V_{OUT} = V_{thc}$$

したがって  $V_{GS} - V_{th}$   $V_{DS}$  が成り立つのでPMOS, NMOS共に飽和領域にある。

NMOSの電流式  $I_{DSN}$ は

$$\begin{aligned} I_{DSN} &= 1/2 \cdot \mu_n (V_{GS} - V_{thN})^2 \\ &= 1/2 \cdot \mu_n (V_{IN} - V_{thN})^2 \\ &= 1/2 \cdot \mu_n (V_{thc} - V_{thN})^2 \end{aligned}$$

PMOSの電流式  $I_{DSP}$ は

$$\begin{aligned} I_{DSP} &= 1/2 \cdot \mu_p (V_{GS} - V_{thP})^2 \\ &= 1/2 \cdot \mu_p (V_{IN} - V_{CC} - V_{thP})^2 \\ &= 1/2 \cdot \mu_p (V_{thc} - V_{CC} - V_{thP})^2 \end{aligned}$$

$I_{DSN} = -I_{DSP}$  であるので 式より

$$V_{thc} = \frac{\mu_n V_{thN} + \mu_p (V_{CC} + V_{thP})}{\mu_n + \mu_p}$$

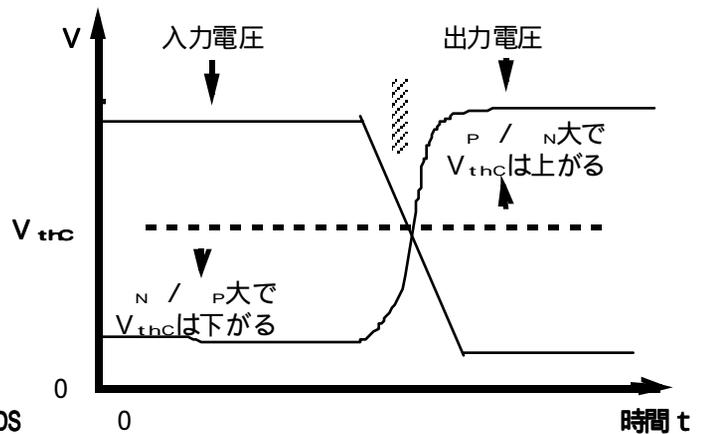


図15 CMOSインバタの論理しきい値