

5 . MOSOPアンプICの回路設計十

(1) オフセット

OPアンプのオフセット電圧の要因としては次の2つが考えられる。

- トランジスタペアの不整合 → ランダムオフセット
 - 回路の設計で生ずる → システムオフセット
- この2つのオフセットについて考えてみます。

ランダムオフセット

ランダムオフセットはOPアンプの差動回路で発生します。原因はトランジスタペアの不整合によって生じるもので、ホトレジのパラツキ、 V_{th} のパラツキ、膜厚パラツキなどの製造プロセスに依存します。

しかしパタ - ン設計の工夫により最小限におさえることができます。

たとえば

1. ペアトランジスタを対称的に配置する
2. ペアトランジスタに対してホトレジの影響が同じになるように周りのパタ - ン配置にも留意する。
3. モ - ルドした時のチップへのストレスを考慮してパタ - ン配置する。
4. 差動段のMOSのチャネル長を長く設定する。

図30に示したソ - ス結合ペア回路においてオフセット電圧 V_{OF} を計算すると次のようになる。

$V_O = 0$ より

$$\Delta I_d / I_d = - \Delta R / R$$

差動回路のMOSの相互コンダクタンスを g_m とすると

$$\Delta I_d = g_m V_{OF}$$

従ってオフセット電圧 V_{OF} は

$$V_{OF} = I_d (\Delta R / R) / g_m$$

$$= \sqrt{\{ L I_d / (2 \mu C_{ox} W) (\Delta R / R) \}} \quad \dots 25$$

システムオフセット

システムオフセットは全トランジスタペアにバラツキが無くても存在するもので、回路の設計で決まるオフセットである。

図31に示したCMOSOPアンプを例にシステムオフセットを考えてみる。

OPアンプの差動入力に両方とも0Vを入力するとランダムオフセットが無ければOPアンプの出力は0Vでなければならない。差動入力を両方とも0Vにすると M_7 のドレイン電圧(差動出力)は M_6 のドレイン電圧と等しくなる。しかしこの電圧とOPアンプの出力を0Vにする M_8 のゲ - ト電圧は等しくない。その時システムオフセットが発生する。

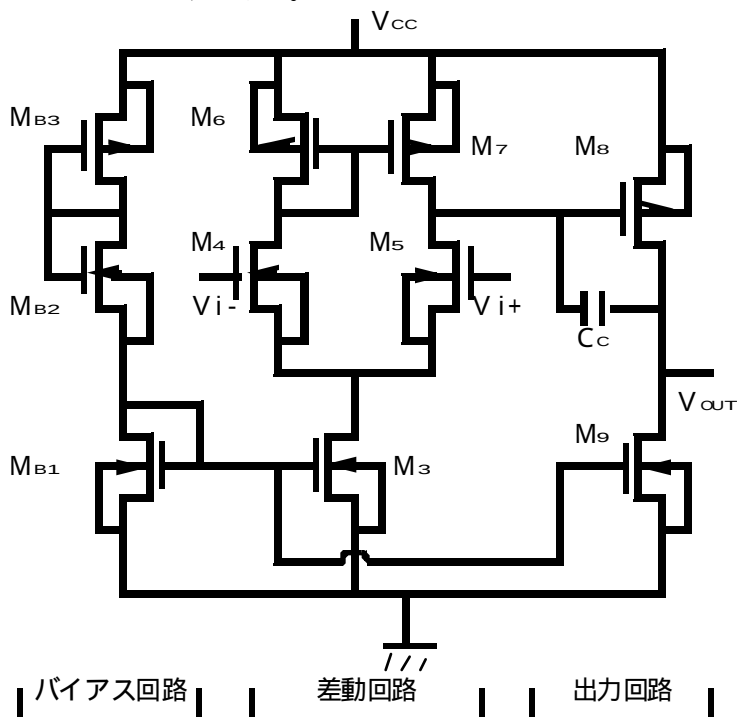


図31 CMOSOPアンプ回路

そのため回路設計においてシステムオフセットを0にする必要があります。その条件は

$$\beta_{M6} / \beta_{M8} = \beta_{M7} / \beta_{M8} = 1/2 (\beta_{M3} / \beta_{M9}) \quad \dots 26$$

また差動回路はトランジスタの対称性が重要ですから当然

$$\beta_{M4} = \beta_{M5} \quad \beta_{M6} = \beta_{M7} \quad \dots 27$$

ただし各 β は $\beta = \mu C_{ox} (W / L)$

各MOSトランジスタの移動度 μ とゲ - ト酸化膜容量 C_{ox} が同一であれば、上式の関係からMOSトランジスタのパタ - ン寸法比(W / L)でOPアンプの設計値が一義的に決まります。実際の設計では上記寸法比の整合性をよくするため、同一チャネル長が使われます。

(2) スル - レ - ト

信号変化が速くなるとOPアンプの出力電圧は、入力電圧の変化についていけなくなります。どのくらい高周波特性が良いかを示す目安としてスル - レ - トの値がよく使われています。

スル - レ - トの値は、 $1 \mu s$ の時間の間に何Vの電圧が立ち上がるか又は立ち下がるかで定義します。図32参照したがってスル - レ - トSRは

$$SR = \Delta V_O / \Delta t$$

いま入力信号が正弦波で最大振幅 E_m 、最大周波数 f_m とすると、ボルテ - ジホロワであれば理想出力電圧 V_O は

$$V_O = E_m \sin \omega t = E_m \sin 2\pi f t$$

OPアンプが持っているスル - レ - トSRの能力よりも理想出力電圧の時間変化 dV_O / dt が小さければ、OPアンプの出力波形は歪まない。従って

$$dV_O / dt = \omega E_m \cos \omega t \quad SR$$

$$\omega E_m = 2\pi f E_m \quad SR \quad \dots 28$$

OPアンプでは一般に出力に大きな容量が付いており、出力回路の電流駆動能力でスル - レ - トが決定される。しかしそれ以外はOPアンプ内部の回路で決まります。図31参照差動回路の出力電流を I_O 、出力電圧を v_o とすると

$$v_o = 1 / C_c \int I_O dt \quad \text{より}$$

$$I_O = C_c dv_o / dt \\ = C_c \cdot SR$$

$$SR = I_O / C_c = I_O \omega_c / g_m \quad [V/\mu s] \quad \dots 29$$

ただし ω_c : OPアンプのユニティゲイン角周波数
 g_m : 差動回路の相互コンダクタンス

従ってOPアンプの設計においてスル - レ - トを大きくするには、位相補償用コンデンサの容量を小さくするか、バイアス電流を大きくすればよい。差動回路の g_m を下げる方法は、周波数特性、ノイズの点で好ましくない。

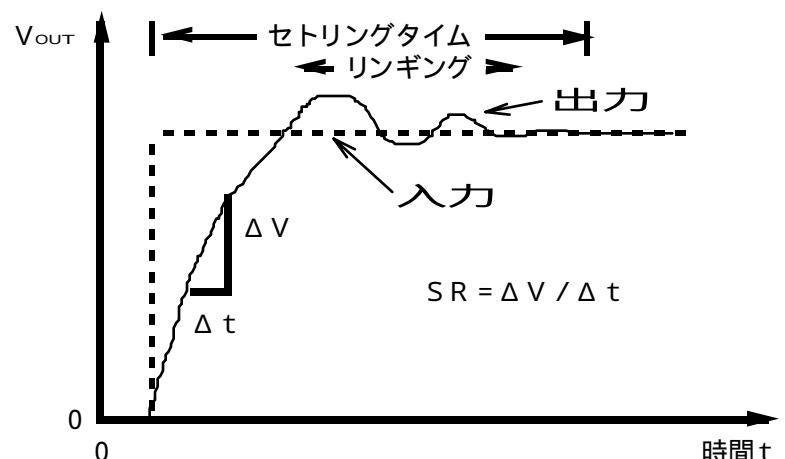


図32 OPアンプのスル - レ - ト