

簡易 NMOS・PMOS デバイスマデリング

モデリング方法の概要を示す。ここでは東芝製 CMOS・IC-TC4000 シリーズを扱っており、測定に使った IC は TC4007 です。

途中で資料・文献を参考にした上での仮定が多く入りますが、このような荒いモデリングでも結論としてかなりいいレベルで実測とあうことが確認できた。

ただし、ここでの記述は Pspice を対象にしているため、バークレーの SPICE で使用できないパラメータがあることを予め断っておきます。

LEVEL, TPG の設定

各種文献、資料を調査した結果、東芝製 CMOS・IC-TC4000 シリーズは AL ゲート・CMOS LOCCOS 8 ~ 10 ミクロンプロセスと考えられる。従って

$$\text{LEVEL} = 3 \quad \text{TPG} = 0$$

tox, NSUB, LD, WD の設定

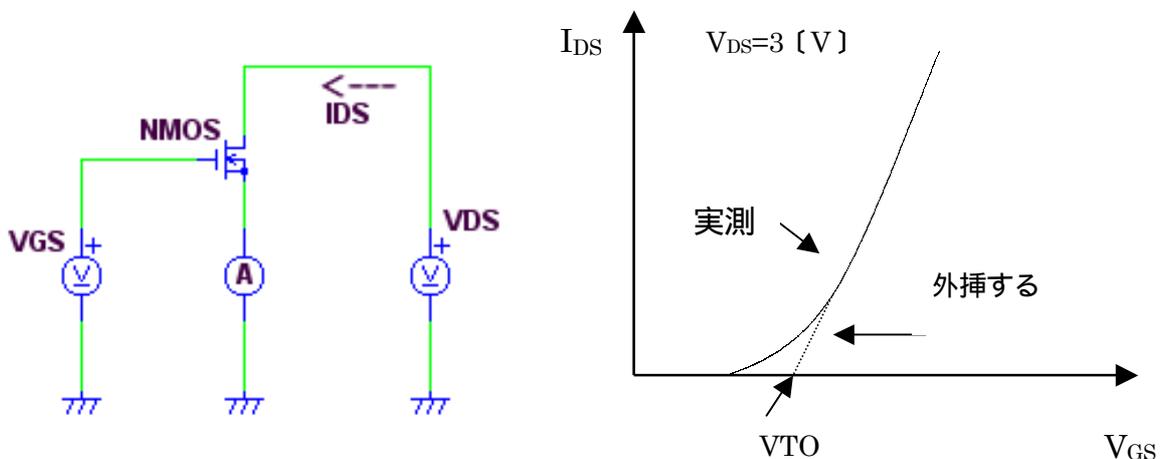
製造プロセスに関わるもので、各種文献、資料等を調査して数値を仮定した。

$$\text{tox} = 850 \times 10^{-10} \text{ [m]} \quad \text{LD} = 0.5 \text{ [}\mu\text{m]} \quad \text{WD} = 1.1 \text{ [}\mu\text{m]} \quad \text{NSUB} = 5 \times 10^{15} \text{ [1/cm}^3\text{]}$$

VTO の設定

下図のような回路 (NMOS の場合) で IC 中の MOS トランジスタの閾値電圧を測定して決める。実際に測定してみると、IC によりバラツキがあるが一応次のように設定した。

$$\text{VTO}_N = 0.7 \text{ [V]} \quad \text{VTO}_P = -0.6 \text{ [V]}$$



KP, L, W の設定

$KP = \mu C_{OX} = \frac{\mu \epsilon_{SiO_2}}{t_{OX}}$ である。この計算をするために移動度 μ を文献、資料等で調べて次のように仮定した。

NMOS の移動度 $\mu_N = 0.11 \text{ [m}^2 / \text{Vs]}$

PMOS の移動度 $\mu_P = 0.032 \text{ [m}^2 / \text{Vs]}$

またゲート酸化膜 (SiO_2) の誘電率 ϵ_{SiO_2} は、

$$\epsilon_{SiO_2} = 4 \times 8.85 \times 10^{-12} \text{ [F/m]}$$

ゲート酸化膜厚は で仮定したように、 $t_{OX} = 850 \times 10^{-10} \text{ [m]}$ であるからこれらの数値を上
の式に代入して KP を求めた。

$$KPN = 4.5 \times 10^{-5} \text{ [A/V}^2\text{]} \quad KPP = 1.35 \times 10^{-5} \text{ [A/V}^2\text{]}$$

次に L と W であるが、チャンネル長 L は より $L = 10 \text{ [}\mu\text{m]}$ と仮定。チャンネル幅 W はデータ
シートの直流特性または実測して電流値が合うように調整する。データシートの直流特性を使っ
て計算する方法を NMOS について示す。NMOS のデータシートより

$$V_{GS} = 5 \text{ [V]} \quad V_{DS} = 0.4 \text{ [V]} \quad I_{OL} = 1.5 \text{ [mA]}$$

この電圧条件は、 $V_{GS} - V_{thN} > V_{DS}$ であるから非飽和領域である。(V_{thN} は で設定した V_{TON}
 $= 0.7 \text{ [V]}$) 従って

$$I_{OL} = \frac{\mu_N C_{OX} W}{L} \left\{ (V_{GS} - V_{thN}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

この式に数値を代入すると

$$1.5 \times 10^{-3} = 4.5 \times 10^{-5} \times \frac{W}{10 \times 10^{-6}} \left\{ (5 - 0.7) \times 0.4 - \frac{0.4^2}{2} \right\}$$

従ってこの式より W を計算すると、 $W = 203 \text{ [}\mu\text{m]}$ が得られる。この計算で大まかな数
値がわかったので、あとは W の数値を細かく変えてシミュレーションとデータシート又は実測
データと電流値が合うように調整する。細かく合わせ込んだ結果、次のように設定した。

$$W_N = 190 \text{ [}\mu\text{m]} \quad W_P = 400 \text{ [}\mu\text{m]}$$

CGS0, CGD0, CGB0 の設定

拡散層のゲート下の食い込みは の仮定で $LD = 0.5 \text{ [}\mu\text{m]}$ であるから次の式で計算できる。

$$C_{GS0} = C_{GD0} = \frac{\epsilon_{SiO_2} \times LD}{t_{OX}}$$

この式に数値を代入すると

$$C_{GS0} = C_{GD0} = \frac{4 \times 8.85 \times 10^{-12} \times 0.5 \times 10^{-6}}{850 \times 10^{-10}} = 2.1 \times 10^{-10} [\text{F/m}]$$

また、フィールド酸化膜下の食い込みは の仮定で $WD=1.1 [\mu\text{m}]$ であるから C_{GB0} は次の式で計算できる。

$$C_{GB0} = \frac{\epsilon_{SiO2} \times WD}{t_{OX}}$$

ただし、 $1.1 [\mu\text{m}]$ 食い込んだ時のフィールド酸化膜厚 t_{OXF} をゲート酸化膜厚の 3 倍と仮定して計算。

$$C_{GB0} = \frac{4 \times 8.85 \times 10^{-12} \times 1.1 \times 10^{-6}}{3 \times 850 \times 10^{-10}} = 1.5 \times 10^{-10} [\text{F/m}]$$

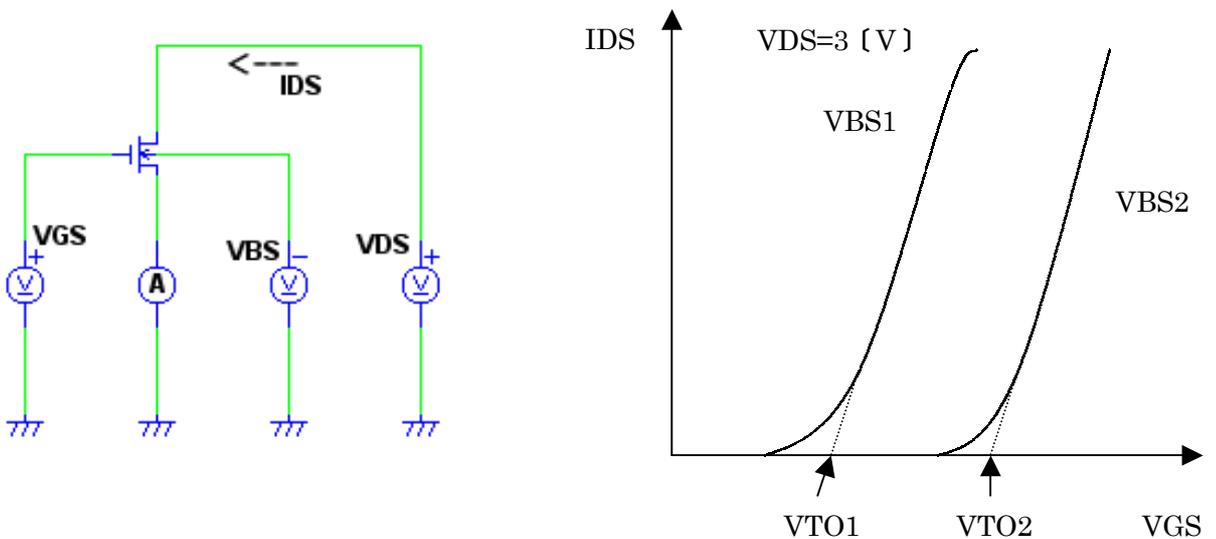
GAMMA の設定

下図の回路 (NMOS の場合) で基板電圧を変えた時の閾値電圧 V_{TO} を実測して下記式で計算。

$$(GAMMA)_N = \frac{V_{TO2} - V_{TO1}}{\sqrt{V_{BS2} - V_{BS1}}}$$

その結果、下記のように設定する。

$$(GAMMA)_N = 0.8 \quad (GAMMA)_P = 0.9$$



TT, RD, RS, RG の設定

~ までの方法でパラメータを設定すればトランジエント特性もほぼデータシートと一致する。さらに細かい設定は、TT, RD, RS, RG, CBD, CBS, CJ, FC 等で調整できる。今回は下記パラメータのみを設定した。

(TT)_N = 100 [ns] (TT)_P = 80 [ns] RD = RS = RG = 2.0 []

作成した TC4007UBP モデルパラメータ

```
*-----*
.model TC407N  NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5 GAMMA=1.0
+             TOX=1.0E-7 TPG=0  NSUB=5E15  L=8U
+             W=290U  WD=1.4U  RD=2.0  RS=2.0  RG=2.0
+             CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
*             TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
*             93-02-15 版    by SUMIAKI TAKEI

.model TC407P  PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5 GAMMA=0.9
+             TOX=1.0E-7 TPG=0  NSUB=2E15  L=8U
+             W=480U  WD=1.4U  RD=2.0  RS=2.0  RG=2.0
+             CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
*             TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
*             93-02-15 版    by SUMIAKI TAKEI
*-----*
```

詳細は、
「CMOS OP アンプ IC の設計法」 トランジスタ技術 1993年 7月号 CQ 出版(株)
を参照して下さい。