

CMOS レイアウト設計法ー3

(C) 2003 Sumiaki Takei

1. 配線遅延と改善法

通常の CMOS 論理回路では、論理回路の出力をアルミ配線やポリシリコン配線を使って次段に結線する。抵抗の低いアルミ層で目的のゲート入力まで配線を引き回せばよいが、そう出来ないパターン配置の場合が多い。そういった時には他のアルミ配線を横切るためにポリシリコン（又は拡散層配線）を長く引き回さなければならない。

問題はアルミ配線に比べてポリシリコンのシート抵抗が高いことである。ポリシリコンのシート抵抗はアルミ配線に比べて2桁大きい値である。

ここで、シート抵抗について説明しておきます。LSI（大規模集積回路）設計では使われる材料の本質的な抵抗比較が容易なため配線抵抗などの見積もりにシート抵抗がよく使われます。

シート抵抗は長さLと幅Wが等しい抵抗体として定義されます。従って材料の抵抗率 ρ と深さ（厚さ）dで決まり、長さや幅には無関係になります。

この理由を説明しておきましょう。

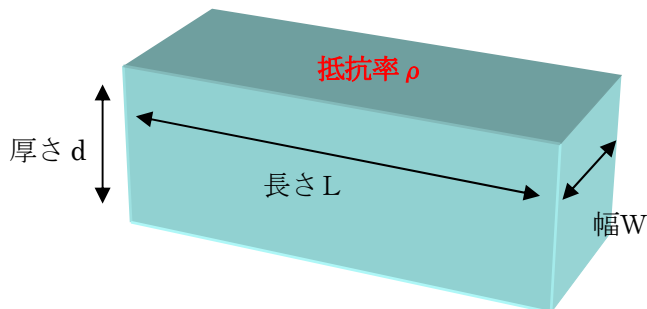


図 1 0 シート抵抗の考え方

図 1 0 における物質の抵抗Rは、断面積をSとすると次式で表される。

$$R = \rho L / S = \rho L / W d$$

シート抵抗の定義より $L = W$ であるから上式は次式のようにになる。

$$\text{シート抵抗 } R_s = \rho / d \quad [\Omega / \square]$$

となりシート抵抗は、材料の抵抗率と深さで決まることがわかります。

今、下図のようにインバータの出力を次段のMOSゲートに入力したい場合、アルミ配線があるためポリシリコンで引き回して次段のゲートに入力する必要があります。論理回路的には合っているけど、スピード的に仕様を満足しているかは確認する必要があります。

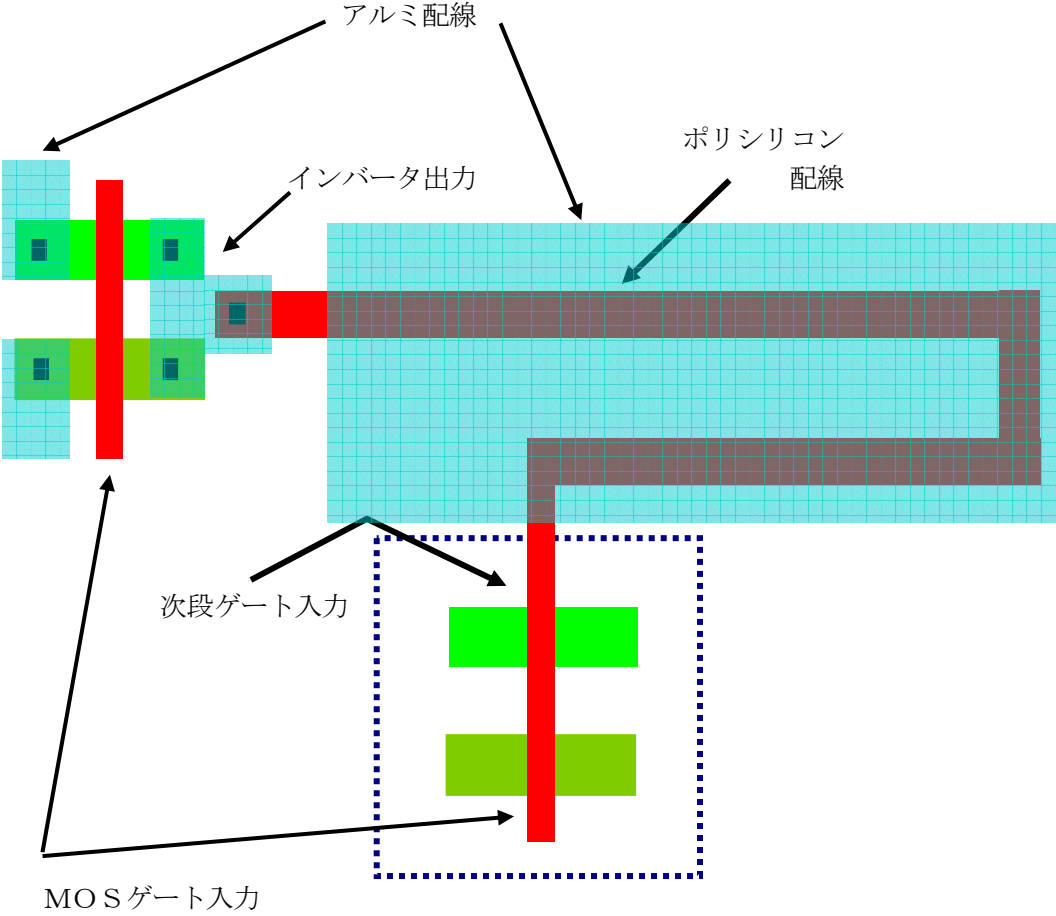


図11 改善前のレイアウト設計

上のレイアウト設計図における各層については、

				
ポリSi層	Al層	コンタクト層	N+層	P+層

製造工程から考えるとおかしい部分もあると思いますが、見やすさを考慮して描いています。レイアウト（パターン）設計の理解を深めるのが目的なのでご容赦願いたい。

図 1 1 に示したインバータ回路出力のポリシリコンの抵抗を計算してみよう。
シート抵抗を $500 [\Omega/\square]$ とする。引き回しているポリシリコンのパターンにおいて正方形がいくつあるかを計算する。
例えば下図のポリシリコン配線の場合、正方形が 4 つあるから $4 \times 500 = 2000 [\Omega]$ の抵抗値ということになります。



図 1 1 では、正方形が約 30 あるので配線抵抗は $30 \times 500 = 15000 [\Omega]$ 。配線抵抗が $15 [\text{k}\Omega]$ というのは直感的ではありますが大きな値だと思います。もちろん抵抗値や寄生容量値を読み取って（前回の [CMOS 回路レイアウト設計_2](#) を参照）Spice 回路シミュレーションで、仕様を満足しているか確認して問題なければ図 1 1 のレイアウトパターンのままで設計していいわけです。
しかし、スピード的に厳しい場合は対策が必要になります。方法としては 3 つあります。

- ① 駆動インバータの駆動能力を高める。（ W/L を大きくする。つまり g_m を大きく。）
- ② 配線抵抗を下げる。配線幅を太くする。
- ③ 配線分割して駆動用回路（インバータ回路など）を挿入する。

それぞれの対策について問題点も含めて簡単に説明しておきます。
回路の駆動能力を高める①の方法は配線抵抗・容量（寄生抵抗・容量）の充放電を早くするという意味でスピードアップが可能であるが、配線抵抗や容量値がある程度大きくなると効果がなくなる。 W/L を大きくするため面積が増えるし、貫通電流が増加する可能性がある。

配線の幅を大きくする②の方法はよく使う方法である。ただし配線の CR 定数が支配的になると改善されなくなる。つまり配線の抵抗を小さくすることは、幅が大きくなり面積が増大する。その結果、配線容量が増え遅延時間が改善されなくなる
私が CMOS・LSI の設計をしていた頃（主に 1980 年代）は MOS トランジスタの ON 抵抗が遅延時間の抵抗性要素を支配していて、配線は MOS 抵抗と比べるとほぼ導体とみなせた。重要なのは寄生容量（配線容量・ゲート容量・ドレイン容量）の低減であった。
ところが微細化が進みチップが肥大化すると配線抵抗が MOS 抵抗と同等かそれ以上になってきた。このような状態では、伝播遅延時間は配線長の 2 乗に比例して大きくなると言われている。現在ではアルミ層を使った配線でさえその抵抗が無視できない状況になってきている。

最近の微細化 LSI では③の方法が使われている。目的のゲートまでの配線をいくつかに分割して駆動回路を挿入する方法である。（[図 1 2 参照](#)）
配線抵抗がいくらの時、配線をいくつに分割して駆動回路を挿入するかは専門の書籍に計算式が載っていますのでそちらを参考にして下さい。いずれにしても最終的にはパターン設計したパラメータを読み取って Spice シミュレーションで遅延時間を確認する必要があります。

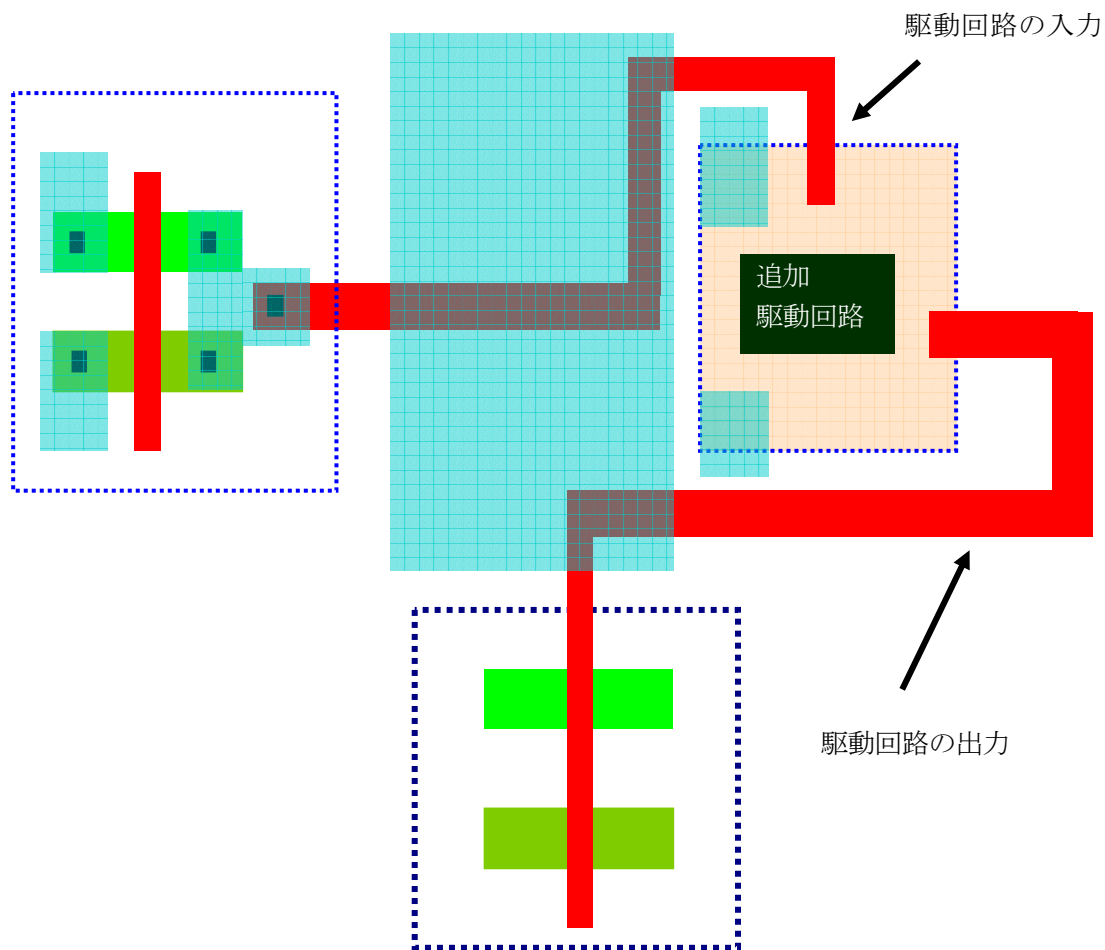


図12 改善後のレイアウト設計

2. 太いアルミ配線のレイアウト

チップの高集積化に伴いLSIの消費電力は増え続けている。チップの設計では消費電流の見積もりをワースト条件で行い、消費電流による電源配線の電圧降下を考慮したパターン設計・回路設計をする必要があります。

通常のLSIチップではチップ周辺に太い電源線を配置することが多い。ところが、周辺部の太いアルミ配線は樹脂封止などのパッケージングをした場合、強い応力が加わり保護膜にクラックが発生します。それによる耐湿性の低下、アルミ配線などの腐食が生じチップの劣化の原因になります。

この保護膜のクラックを防ぐ方法としてチップコーナー部にスリットを入れる方法があります。図13にチップの一部を示した。ボンディングパッド（電源端子）からチップ内部のゲート群に電源を供給すると同時に、チップ周辺に配置した電源アルミ配線のコーナー部分にスリットを挿入している。

ここでは詳細に紹介しませんが、パッケージによるチップへのストレスはD/A変換回路などの設計でも留意する必要があります。私の経験を少し紹介すると電流加算方式のD/A変換回路の重みを出すためのMOS配置において特定の重み付けのMOSだけにストレスが加わり出力の直線性が得られないという失敗経験がありました。ストレスが加わることによりそのMOS群の g_m が他のMOSと違った値になるために起こった不良です。またいつか紹介します。

図13に示したスリットを入れるレイアウト設計は日立製作所の有償開放特許なので、使用の場合は実施許諾を得てください。（特開昭57-45259号）

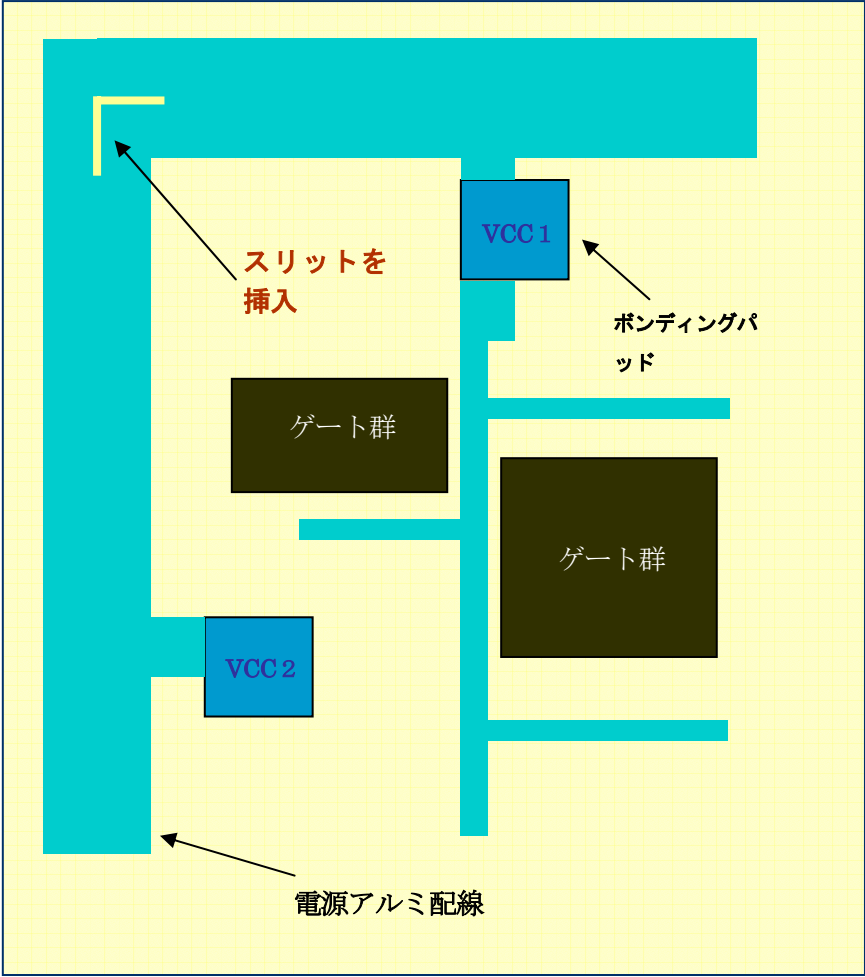


図13 太い周辺電源線のレイアウト設計