

CMOS 回路 レイアウト設計法-2

(C)2003 Sumiaki Takei

1. 正論理と負論理 . . . 論理によってNAND でもNOR にでもなってしまう。

図6にNAND (NOR) 回路のレイアウトを示した。

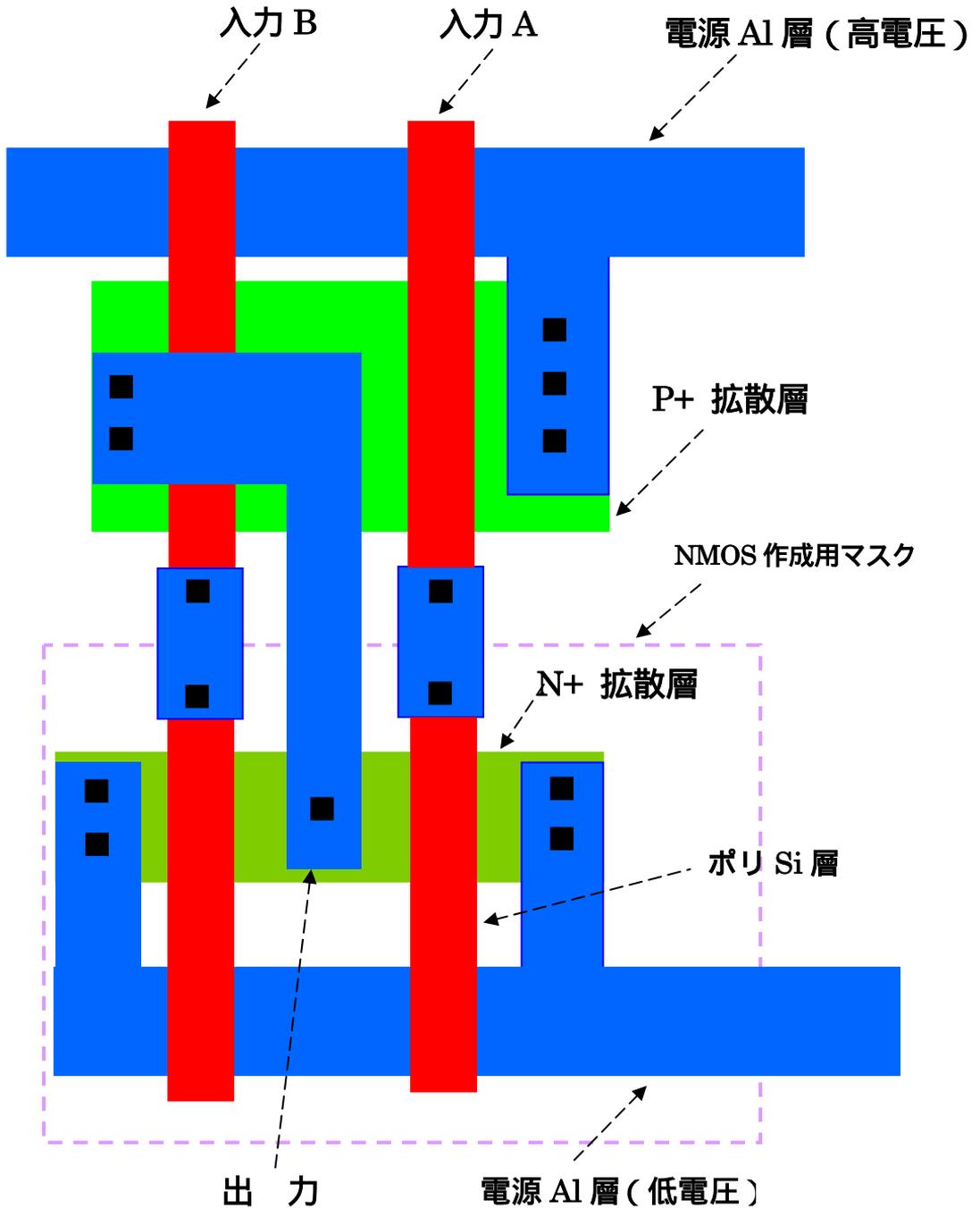
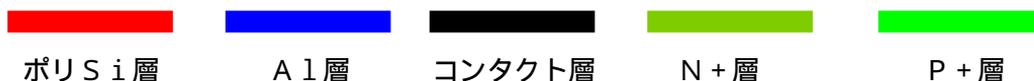


図6 CMOS NAND (NOR) 回路 レイアウト設計例

上図に CMOS NAND (NOR) 回路のレイアウト設計例を示した。各層については、



製造工程から言うとアルミ層が一番上層になるように図を示すべきだが、見やすさを考慮して層の上下関係を無視して描いている。レイアウト (パターン) 設計の理解を深めるのが目的なのでご容赦願いたい。

このレイアウトパターンは NAND 回路なのか NOR 回路なのかと聞かれても即答はできない。論理設計を正論理で設計しているのか負論理かで違ってくる。今、それぞれのゲート入力 (A, B) に高電圧 **H** と低電圧 **L** が入力された時の出力は下記表のようになる。

入力 A	入力 B	出力
H	L	L
L	H	L
L	L	H
H	H	L

高電圧 **H** を 2 進数の **1**、低電圧 **L** を 2 進数の **0** として真理値表を作成すると表 1 のようになる。この場合は正論理であり NOR 回路動作になる。

逆の場合が負論理であり、表 2 のように NAND 回路になる。

私が 1980 年代初めに電卓用の CMOS・LSI を設計していた頃は負電源を使用して負論理で論理回路が組まれていた。電卓以降は正電源の正論理で設計された CMOS・LSI がほとんどである。

表 1 正論理の場合 → NOR 回路

入力 A	入力 B	出力
1	0	0
0	1	0
0	0	1
1	1	0

表 2 負論理の場合 → NAND 回路

入力 A	入力 B	出力
0	1	1
1	0	1
1	1	0
0	0	1

2. 動作スピードを考慮したパターン設計

図6に示したレイアウトパターンにおいて、PMOSの $W/L = 30/5$ 、NMOSの $W/L = 10/5$ とします。このパターン設計は正しいのかどうか検証します。通常の論理回路で、動作スピードがシビアでない場合は関係ありませんが、少しでも速く動作させたい場合はPMOSとNMOSの W/L を考慮する必要があります。

図6では、PMOSが2段の直列になっており、NMOSは並列接続になっている。ゲートがONした時、電源から出力へのパスにおいてPMOSとNMOSで抵抗の大きいほうで動作スピードが決まってしまう。単純に計算してみよう。NMOSの g_m がPMOSの3倍として計算すると、

$$\begin{aligned} \text{PMOSの擬似抵抗} &= 2 \text{ (段数)} \times 3 \text{ (NMOSの} 1/3 \text{倍 } g_m) \\ &\quad \times 1/3 \text{ (NMOSの} 3 \text{倍 } W/L) = 2 \\ \text{NMOSの擬似抵抗} &= 1 \text{ (段数)} \times 1 \text{ (NMOSの } g_m \text{を基準)} \\ &\quad \times 1 \text{ (NMOSの } W/L \text{を基準)} = 1 \end{aligned}$$

この簡単な計算より図6のレイアウト設計ではPMOSが2段ともONしてHigh出力が出る場合の抵抗がNMOSがONした時より2倍大きいことがわかります。従ってHigh出力がLow出力より約2倍遅いと考えられる。

回路シミュレーションでHigh出力の動作スピードが仕様を満足していればそのままのレイアウトでもいいが、そうでなければPMOSの W/L を大きくする必要がある。先ほどの計算から言うと、NMOSの6倍の W/L にする必要がある。

つまり、PMOSの $W/L = 60/5$ 、NMOSの $W/L = 10/5$ でパターン設計すれば出力信号の立上がり、立下りは同程度のスピードになると考えられる。PMOSとNMOSのON抵抗を同じにしておくことは、ゲート回路の論理しきい値を電源電圧の真中に設定していることになるので、ノイズ信号に強くなり入力信号のhigh, lowの検出が早くなるという利点もあります。

次にもう1つ留意すべきことを書いておきます。

図6の回路で入力ゲートA, Bに他ゲートからの出力信号を受けた場合、どちらの入力ゲートに結線するか考慮する必要がある。クロック信号のように頻繁に変化する信号を受ける場合は、入力Bに結線すべきである。PMOSが両方ONしてHigh出力が出る場合、**出力に近いゲートの方にクロック信号を結線**しておけば、動作スピード的には1ゲート通過のスピードで出力される。

3入力、4入力・・・とゲート段数が増える場合は特にクロック信号入力の影響が出てくると思う。出力側に近いゲートにクロック入力するのは特許だったかも知れない。もう失効していると思うが。

3 . 論理回路への電源供給

いくつかのゲート回路の塊に電源を供給する場合は図 8 のようなレイアウトにすべきである。図 7 のような電源配置は好ましくない。図 7 と図 8 をよく見比べて下さい。まず電源線の引き回しですが、図 7 では特にボンディングパッド V_{cc} からの電源線はゲート回路群 1, 2, 3 に直列に接続されている。ゲート回路群_1 近辺の電源線に流れる電流はゲート回路群 2, 3 の消費電流が加算された電流が流れるのでゲート回路群_1 ではノイズや電圧降下の影響を受ける可能性がある。図 8 のように各ゲート回路群に並列に電源線を供給すべきである。

次に電源線の太さであるが、ボンディングパッドに近い部分は太くする必要がある。先ほども少し触れたが電流が多く集中する部分は太くするのが通常のレイアウト法である。これはノイズ、電圧降下を防ぐほか、電流密度を下げてエレクトロマイグレーション対策にもなる。

電源線の太さをどれくらいにするかはゲート回路の消費電流を見積もり(回路シミュレーション等で) プロセスで決まっている許容電流密度からワーストケースの 2 倍以上の余裕をもった電源の太さに設計する必要がある。

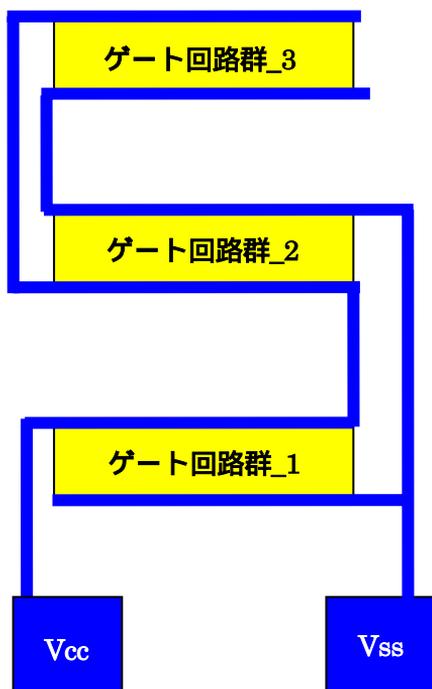


図 7 悪い電源配線レイアウト

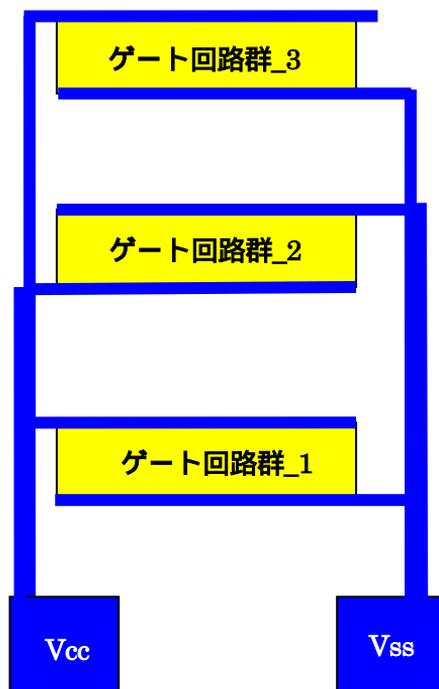


図 8 良い電源配線レイアウト

4 . クリティカルパスの特性パラメータの抽出

図9に CMOS・LOCOS 構造の断面図を示した。最近の微細 MOS 構造とは違う部分もあると思うが、概念がわかれば良いと思うのでこれで説明したいと思う。

レイアウト設計した時に心配なパス部分のスピードをシミュレーションしたい場合がある。ゲート回路の出力から目的のゲートまでの負荷容量、寄生容量、配線抵抗などをパターンから面積・長さを読み取って回路パラメータを計算しシミュレーションしなければならない。それぞれの MOS 製造プロセスでパラメータの数値があるはずであるから、それを使って計算する。

下図において 3 μm CMOS・LOCOS の場合のパラメータの一例を示す。この数値は大まかなもので、どのメーカーのデータでもありません。

$$\begin{array}{lll}
 C_{Al-Si} = 0.7 \times 10^{-4} & C_{Al-F} = 0.9 \times 10^{-4} & C_{Si-F} = 0.8 \times 10^{-4} \\
 C_{N^+-P^{\text{WELL}}} = 3.2 \times 10^{-4} & C_{GATE} = 8.2 \times 10^{-4} & \rho_{Si} = 40 \quad \rho_{N^+} = 50 \quad \rho_{P^{\text{WELL}}} = 8000
 \end{array}$$

ただし、容量 C の単位は全て $pF/\mu m^2$
 シート抵抗 ρ の単位は全て / とする。

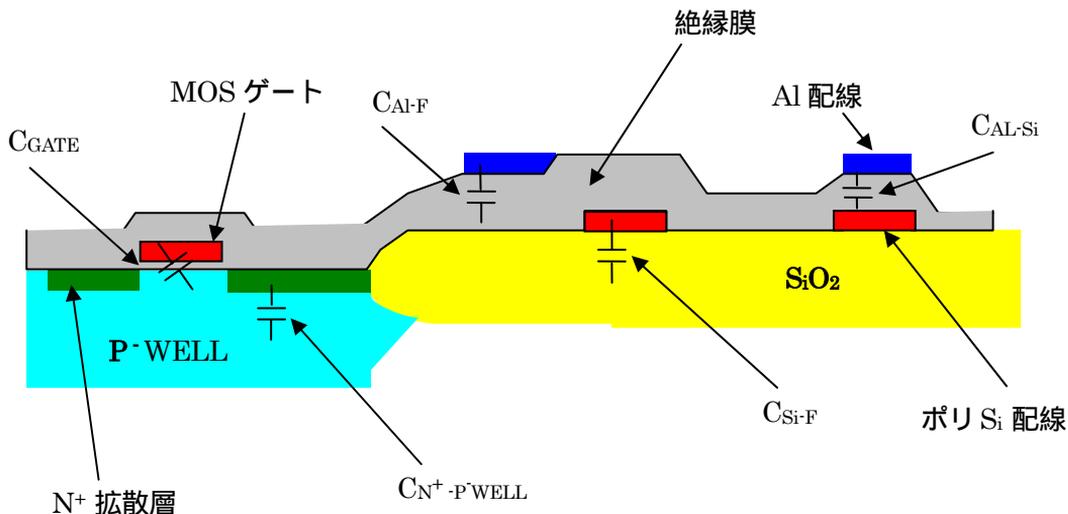
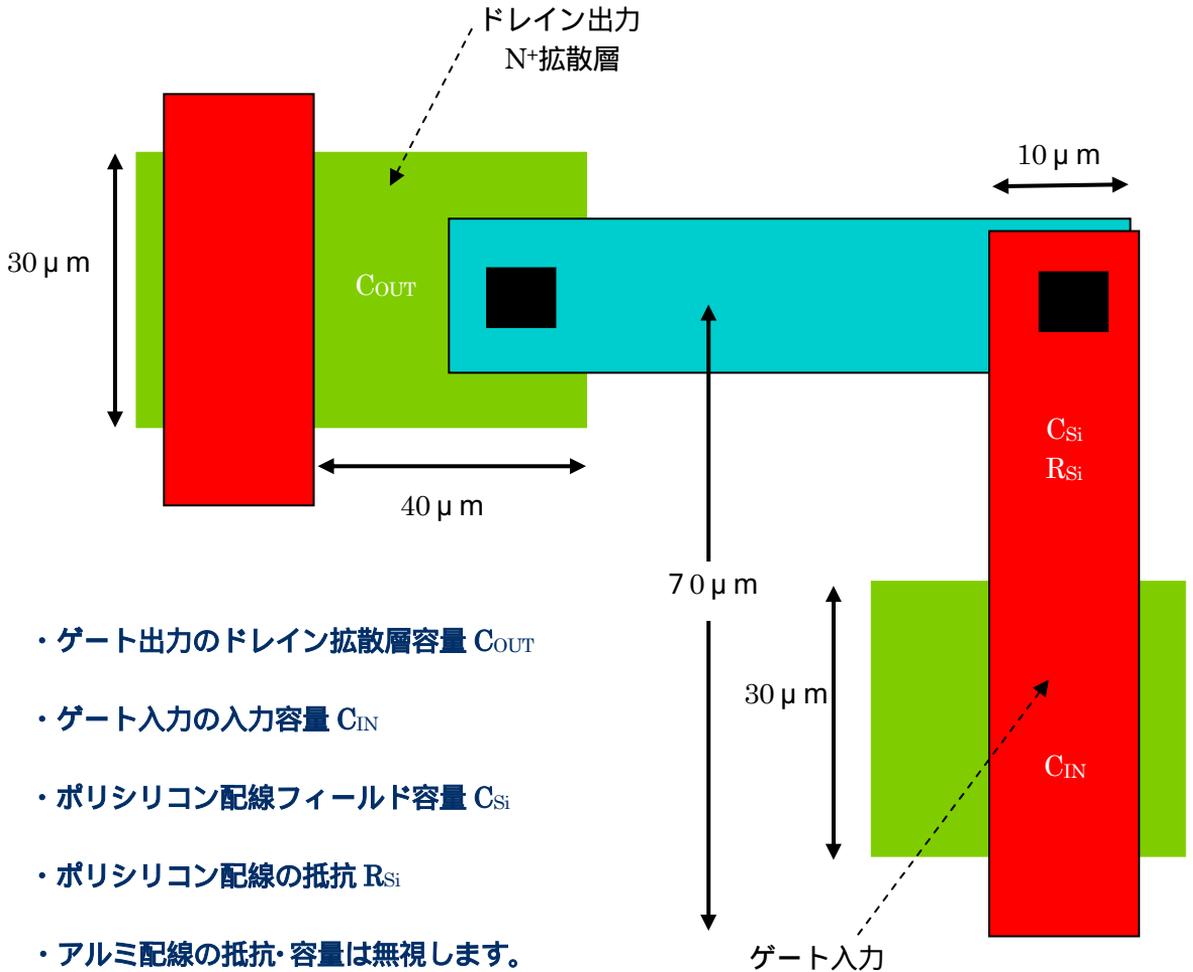


図 9 標準的な CMOS・LOCOS 断面構造図

今、下図のようなレイアウトパターンがあったとしよう。あるゲート回路の出力から次段のゲート入力までの容量、抵抗を計算してみよう。ゲート出力は CMOS の場合、PMOS と NMOS のドレイン面積が存在するわけだが、ここでは NMOS 側だけを表示している。各層の上下関係は無視している。わかりやすさを重視しているので ご容赦願いたい。



$$C_{OUT} = 40 \times 30 \times 3.2 \times 10^{-4} = 0.384 \quad [pF]$$

$$C_{IN} = 10 \times 30 \times 8.2 \times 10^{-4} = 0.246 \quad [pF]$$

$$C_{Si} = 10 \times 40 \times 0.8 \times 10^{-4} = 0.032 \quad [pF]$$

$$R_{Si} = \frac{70}{10} \times 40 = 280 \quad [\]$$

これらのパラメータを回路シミュレータのネットリストで指定してやることにより、トランジェント解析などの解析ができる。実際の LSI では複雑で大規模なので大変である。私が設計していた頃(1980年代)は、クリティカルパスや仕様で決められたパスのスピード等についてはレイアウト設計図面からパターン面積や長さを計測して回路シミュレーションをやっていました。